

PATENT  
8040-1050

**IN THE U.S. PATENT AND TRADEMARK OFFICE**

In re application of: Shingo SAIGO et al.  
Conf.:  
Appl. No.:  
Filed: September 15, 2003  
Group:  
Examiner:  
Title: LIQUID CRYSTAL DISPLAY AND METHOD OF  
MANUFACTURING THE SAME

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

September 15, 2003

Sir:


Applicant(s) herewith claim(s) the benefit of the  
priority filing date of the following application(s) for the  
above-entitled U.S. application under the provisions of 35  
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-268952	September 13, 2002

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



\_\_\_\_\_  
Benoit Castel, Reg. No. 35,041

745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297

BC/ia

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    9 月 1 3 日  
Date of Application:

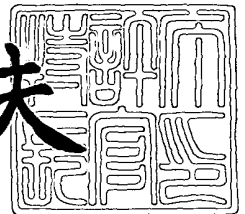
出 願 番 号            特 願 2 0 0 2 - 2 6 8 9 5 2  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 6 8 9 5 2 ]

出    願    人            鹿 児 島 日 本 電 気 株 式 会 社  
Applicant(s):

2 0 0 3 年    7 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 00320438  
【あて先】 特許庁長官殿  
【国際特許分類】 G02F 1/136  
G02F 1/1333

## 【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0  
鹿児島日本電気株式会社内

【氏名】 西郷 伸吾

## 【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0  
鹿児島日本電気株式会社内

【氏名】 早瀬 貴介

## 【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0  
鹿児島日本電気株式会社内

【氏名】 堀之内 誠

## 【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0  
鹿児島日本電気株式会社内

【氏名】 元島 秀人

## 【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0  
鹿児島日本電気株式会社内

【氏名】 前田 明寿

## 【特許出願人】

【識別番号】 000181284

【氏名又は名称】 鹿児島日本電気株式会社

## 【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

## 【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

## 【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

## 【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114163

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置及びその製造方法

【特許請求の範囲】

【請求項1】 基板上に薄膜トランジスタと、前記薄膜トランジスタに接続され縦横に交差する複数の走査線及び信号線と、前記走査線と同層に形成される共通配線とを有し、前記薄膜トランジスタ上に形成される層間絶縁膜を介して、前記共通配線に接続され、前記信号線上の少なくとも一部を被覆するように形成された共通電極と、前記薄膜トランジスタに接続される画素電極との間に、前記基板と概ね平行な電界を発生する横電界型液晶表示装置において、前記複数の走査線及び信号線により区画されて規定される複数の画素に対し、前記共通配線と前記共通電極を接続するコンタクトホールが、複数画素に1つの割合で形成されていることを特徴とする液晶表示装置。

【請求項2】 コンタクトホールが形成される1つの画素を中心にして他のコンタクトホールが形成される他の画素を見た場合に、他の画素は縦横方向には少なくとも1画素を空けて配置されることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 基板上に薄膜トランジスタと、前記薄膜トランジスタに接続され縦横に交差する複数の走査線及び信号線と、前記走査線と同層に形成される共通配線とを有し、前記薄膜トランジスタ上に形成される層間絶縁膜を介して、前記共通配線に接続され、前記信号線上の少なくとも一部を被覆するように形成された共通電極と、前記薄膜トランジスタに接続される画素電極との間に、前記基板と概ね平行な電界を発生する横電界型液晶表示装置において、前記層間絶縁膜が2層以上の無機絶縁膜を含んで形成され、前記共通配線と前記共通電極を接続するコンタクトホールと、前記薄膜トランジスタと前記画素電極を接続するコンタクトホールとが、前記複数の無機絶縁膜のそれぞれのコンタクトホールが重畳して形成されていることを特徴とする液晶表示装置。

【請求項4】 基板上に薄膜トランジスタと、前記薄膜トランジスタに接続され縦横に交差する複数の走査線及び信号線と、前記走査線と同層に形成される共通配線とを有し、前記薄膜トランジスタ上に形成される層間絶縁膜を介して、

前記共通配線に接続され、前記信号線上の少なくとも一部を被覆するように形成された共通電極と、前記薄膜トランジスタに接続される画素電極との間に、前記基板と概ね平行な電界を発生する横電界型液晶表示装置の製造方法において、前記薄膜トランジスタ上に第1の無機絶縁膜を成膜し、前記共通配線と前記共通電極を接続するための第1のコンタクトホールと、前記薄膜トランジスタと前記画素電極を接続する第2のコンタクトホールを少なくともドライエッチングを使用して開口する工程と、前記第1の無機絶縁膜上に第2の無機絶縁膜を成膜し、前記第1のコンタクトホールに重畳して第3のコンタクトホールと、前記第2のコンタクトホールに重畳して第4のコンタクトホールを開口する工程と、前記第2の無機絶縁膜上に導電膜を成膜し、前記第1及び第3のコンタクトホールを介して前記共通配線に接続する前記共通電極と、前記第2及び第4のコンタクトホールを介して前記薄膜トランジスタに接続する画素電極を形成する工程を含むことを特徴とする液晶表示装置の製造方法。

【請求項5】 前記第3のコンタクトホールを前記第1のコンタクトホールの内側に、前記第4のコンタクトホールを第2のコンタクトホールの内側に開口することを特徴とする請求項4に記載の液晶表示装置の製造方法。

【請求項6】 基板上に薄膜トランジスタと、前記薄膜トランジスタに接続され縦横に交差する複数の走査線及び信号線と、前記走査線と同層に形成される共通配線とを有し、前記薄膜トランジスタ上に形成される層間絶縁膜を介して、前記共通配線に接続され、前記信号線上の少なくとも一部を被覆するように形成された共通電極と、前記薄膜トランジスタに接続される画素電極との間に、前記基板と概ね平行な電界を発生する横電界型液晶表示装置の製造方法において、前記層間絶縁膜を無機絶縁膜で形成し、少なくとも前記無機絶縁膜の膜厚を前記共通配線と前記共通電極を接続するコンタクトホールをドライエッチングで開口する部分の絶縁膜の膜厚より厚く形成することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置及びその製造方法に関し、特に、信号線の少なくとも一部を層間絶縁膜を介して共通電極で被覆するようにした横方向電界型の液晶表示装置及びその製造方法に関する。

#### 【0002】

##### 【従来の技術】

従来、画素電極を駆動制御するスイッチング素子として、薄膜トランジスタ (thin film transistor: TFT) や MIM (metal insulator metal) を用いた透過型の液晶表示装置が広く用いられている。特に、モニター用途として、ブラウン管並の広視野角を実現できる横方向電界型 (in plane switching: IPS) の液晶表示装置が用いられている。

#### 【0003】

図26～図28は、特許文献1に開示されている従来の TFT を用いた横方向電界型液晶表示装置におけるアクティブマトリクス基板の1画素部分の構成を示し、図26は平面図、図27は図26の X-X' 線、図28は図26の Y-Y' 線に沿う断面図である。この横方向電界型液晶表示装置のアクティブマトリクス基板には、複数の画素電極と共通電極が櫛歯状に対向して形成され、この電極間に基板と概ね平行な電界を発生させ、液晶分子の配列を制御している。

#### 【0004】

図26に示すように、走査信号を供給する走査線 111 と表示信号を供給する信号線 112 が直交して、また、共通電極 122 に電位を与える共通配線 113 が走査線 111 と平行に設けられている。一方、共通電極 122 と画素電極 121 が櫛歯状に対向して設けられ、走査線 111 と信号線 112 の交差部には、走査線 111、信号線 112、画素電極 121 に接続されて TFT 114 が設けられている。

#### 【0005】

TFT 114 のゲート電極 123 は走査線 111 の一部として設けられ、ドレイン電極 125 は信号線 112 に接続され、ソース電極 124 はコンタクトホール 126 を介して画素電極 121 に、共通配線 113 はコンタクトホール 127

を介して共通電極 122 に接続されている。また、信号線 112 の少なくとも一部が共通電極 122 により覆われるように配置されている。

#### 【0006】

図 27 に示すように、透明絶縁性基板 120 の上には、ゲート電極 123、ゲート絶縁膜 131、島状の半導体層 134 が設けられている。更に、半導体層 134 (アモルファスシリコン (a-Si) 層 164、n<sup>+</sup>型アモルファスシリコン (n<sup>+</sup>型 a-Si) 層 174) を覆い、ソース電極 124 及びドレイン電極 125 が分離して設けられ、TFT 114 が形成されている。更に、TFT 114 を覆って、層間絶縁膜 (保護膜 132 と有機絶縁膜 133) が設けられている。また、図 28 に示すように、有機絶縁膜 133 に形成されたコンタクトホール 126 と、有機絶縁膜 133 及びゲート絶縁膜 131 に形成されたコンタクトホール 127 とを介して、それぞれ画素電極 121 はソース電極 124 に、共通電極 122 は共通配線 113 に接続されている。

#### 【0007】

次に、上記構成を有するアクティブマトリクス基板の製造工程を説明する。先ず、ガラス等の透明絶縁性基板 120 上に、Cr-Mo 合金膜からなる金属膜を成膜し、パターニングしてゲート電極 123、走査線 111、共通配線 113 を形成する。次に、ゲート絶縁膜 131、a-Si 層 164、n<sup>+</sup>型 a-Si 層 174 を順次成膜した後、パターニングして半導体層 134 を形成する。次に、Cr-Mo 合金膜からなる金属膜を成膜し、パターニングしてソース電極 124、ドレイン電極 125、信号線 112 を形成し、これらをマスクとして、n<sup>+</sup>型 a-Si 層 174 をエッチング除去し、チャネルを形成する。

#### 【0008】

続いて、窒化シリコン膜からなる保護膜 132 を成膜し、パターニングする。次に、感光性の有機絶縁膜 133 を塗布し、パターニングした後、これをマスクとして、更にゲート絶縁膜 131 をパターニングし、コンタクトホール 126、127 を開口する。その後、有機絶縁膜 133 を覆って、インジウムスズ酸化膜 (ITO) からなる透明導電膜を成膜し、パターニングして共通電極 122、画素電極 121 を形成する。このようにして、共通電極 122 と共通配線 113、



画素電極 121 とソース電極 124 の接続がとられる。

#### 【0009】

このように、層間絶縁膜の一部に、比誘電率が低い有機絶縁膜 133 を用いるのは、開口率を向上するために共通電極 122 と信号線 112 を一部オーバーラップさせたとき、信号線と共通電極の容量結合を小さくし、クロストークを抑制するためである。また、アクティブマトリクス基板の平坦度を向上して、対向基板とのギャップのばらつきを低減し、輝度の均一性を向上させている。

#### 【0010】

なお、層間絶縁膜に有機絶縁膜を用いない場合は、窒化シリコン膜からなる保護膜 132 を厚く形成することで代用している。このときは、コンタクトホール 126、127 は 1 回のフォトリソ工程で開口される。

#### 【0011】

##### 【特許文献 1】

WO98/47044 号公報（第 8-18 頁、図 1、3、4）

#### 【0012】

##### 【発明が解決しようとする課題】

しかしながら、前述したような信号線の少なくとも一部が層間絶縁膜を介して共通電極で被覆されるようにした横方向電界型液晶表示装置では、その構造上、層間絶縁膜にピンホールが発生すると、信号線と共通電極がショートし、縦ライン欠陥が発生しやすいという製造歩留上の課題がある。

#### 【0013】

本発明者の実験によると、信号線のパターニング工程で、フォトレジスト等の異物により信号線 112 からコンタクトホール 127 にかけて、信号線の金属膜のパターニング不良が発生し、コンタクトホール 127 を介して信号線 112 と共通電極 122 がショートすることが確認された。この現象は、特に、画素ピッチが狭くなる高精細パネルで顕著になることが判明した。

#### 【0014】

また、層間絶縁膜に有機絶縁膜を用いず、窒化シリコン膜のような無機膜のみで形成した場合、コンタクトホール 126、127 の開口工程で、少なくともド

ライエッチングを用いて開口を行うと、フォトレジストの異物や欠陥部分でプラズマが集中し、結果的に層間絶縁膜がピンホール状にエッチングされ、このピンホールを介して信号線 112 と共通電極 122 がショートすることが確認された。

#### 【0015】

本発明の目的は、信号線の少なくとも一部が層間絶縁膜を介して共通電極で被覆されるようにした横方向電界型液晶表示装置において、信号線と共通電極間のショートによる縦ライン欠陥を低減し、製造歩留を向上することのできる液晶表示装置及びその製造方法を提供することである。

#### 【0016】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明に係る液晶表示装置は、基板上に薄膜トランジスタと、前記薄膜トランジスタに接続され縦横に交差する複数の走査線及び信号線と、前記走査線と同層に形成される共通配線とを有し、前記薄膜トランジスタ上に形成される層間絶縁膜を介して、前記共通配線に接続され、前記信号線上の少なくとも一部を被覆するように形成された共通電極と、前記薄膜トランジスタに接続される画素電極との間に、前記基板と概ね平行な電界を発生する横電界型液晶表示装置において、前記複数の走査線及び信号線により区画されて規定される複数の画素に対し、前記共通配線と前記共通電極を接続するコンタクトホールが、複数画素に 1 つの割合で形成されていることを特徴としている。

#### 【0017】

また、この液晶表示装置において、コンタクトホールが形成される 1 つの画素を中心にして他のコンタクトホールが形成される他の画素を見た場合に、他の画素は縦横方向には少なくとも 1 画素を空けて配置されることを特徴とする。

#### 【0018】

また、本発明に係る液晶表示装置は、基板上に薄膜トランジスタと、前記薄膜トランジスタに接続され縦横に交差する複数の走査線及び信号線と、前記走査線と同層に形成される共通配線とを有し、前記薄膜トランジスタ上に形成される層間絶縁膜を介して、前記共通配線に接続され、前記信号線上の少なくとも一部を

被覆するように形成された共通電極と、前記薄膜トランジスタに接続される画素電極との間に、前記基板と概ね平行な電界を発生する横電界型液晶表示装置において、前記層間絶縁膜が2層以上の無機絶縁膜を含んで形成され、前記共通配線と前記共通電極を接続するコンタクトホールと、前記薄膜トランジスタと前記画素電極を接続するコンタクトホールとが、前記複数の無機絶縁膜のそれぞれのコンタクトホールが重畳して形成されていることを特徴としている。

#### 【0019】

また、本発明に係る液晶表示装置の製造方法は、基板上に薄膜トランジスタと、前記薄膜トランジスタに接続され縦横に交差する複数の走査線及び信号線と、前記走査線と同層に形成される共通配線とを有し、前記薄膜トランジスタ上に形成される層間絶縁膜を介して、前記共通配線に接続され、前記信号線上の少なくとも一部を被覆するように形成された共通電極と、前記薄膜トランジスタに接続される画素電極との間に、前記基板と概ね平行な電界を発生する横電界型液晶表示装置の製造方法において、前記薄膜トランジスタ上に第1の無機絶縁膜を成膜し、前記共通配線と前記共通電極を接続するための第1のコンタクトホールと、前記薄膜トランジスタと前記画素電極を接続する第2のコンタクトホールを少なくともドライエッチングを使用して開口する工程と、前記第1の無機絶縁膜上に第2の無機絶縁膜を成膜し、前記第1のコンタクトホールに重畳して第3のコンタクトホールと、前記第2のコンタクトホールに重畳して第4のコンタクトホールを開口する工程と、前記第2の無機絶縁膜上に導電膜を成膜し、前記第1及び第3のコンタクトホールを介して前記共通配線に接続する前記共通電極と、前記第2及び第4のコンタクトホールを介して前記薄膜トランジスタに接続する画素電極を形成する工程を含むことを特徴としている。

#### 【0020】

また、この液晶表示装置の製造方法において、前記第3のコンタクトホールを前記第1のコンタクトホールの内側に、前記第4のコンタクトホールを第2のコンタクトホールの内側に開口することを特徴としている。

#### 【0021】

また、本発明に係る液晶表示装置の製造方法は、基板上に薄膜トランジスタと

、前記薄膜トランジスタに接続され縦横に交差する複数の走査線及び信号線と、前記走査線と同層に形成される共通配線とを有し、前記薄膜トランジスタ上に形成される層間絶縁膜を介して、前記共通配線に接続され、前記信号線上の少なくとも一部を被覆するように形成された共通電極と、前記薄膜トランジスタに接続される画素電極との間に、前記基板と概ね平行な電界を発生する横電界型液晶表示装置の製造方法において、前記層間絶縁膜を無機絶縁膜で形成し、少なくとも前記無機絶縁膜の膜厚を前記共通配線と前記共通電極を接続するコンタクトホールをドライエッチングで開口する部分の絶縁膜の膜厚より厚く形成することを特徴としている。

#### 【0022】

以上のような構成にすることにより、信号線の少なくとも一部が層間絶縁膜を介して共通電極で被覆されるようにした横方向電界型液晶表示装置において、共通配線と共通電極を接続するコンタクトホールを介して、信号線と共通電極がショートする確率を低減でき、製造歩留を向上することができる。更に、前述のコンタクトホールを千鳥状に配置しているので、表示の均一性を確保することができる。

#### 【0023】

また、層間絶縁膜が無機絶縁膜のみで構成される場合、この無機絶縁膜を2回に分けて成膜し、コンタクトホール開口工程を2回設けているので、コンタクトホール開口時のドライエッチングによる無機絶縁膜へのピンホールが発生しても、無機絶縁膜の全膜厚にわたって貫通して形成されないので、信号線と共通電極のショートを大幅に低減でき、製造歩留を向上することができる。更に、2回目に開口するコンタクトホールを1回目に開口するコンタクトホールの内側に開口することにより、コンタクトホールの断面形状をサイドエッチ等のない良好な形状に形成することができる。

#### 【0024】

また、同様に、層間絶縁膜が無機絶縁膜のみで構成される場合、この無機絶縁膜の膜厚を少なくとも共通配線と共通電極を接続するコンタクトホールをドライエッチングで開口する部分の絶縁膜の膜厚より厚く形成しているので、コンタク

トホール開口時のドライエッチングによる無機絶縁膜へのピンホールが発生しても、無機絶縁膜の全膜厚にわたって貫通して形成されないので、信号線と共通電極のショートを大幅に低減でき、製造歩留を向上することができる。

#### 【0025】

##### 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

#### 【0026】

##### （第1の実施の形態）

図1は、本発明の第1の実施の形態に係る横方向電界型液晶表示装置におけるTFT基板の構成を概念的に示す平面図である。図1に示すように、TFT基板10の対向基板側面には、複数の走査線11と信号線12が直交して設けられ、また、隣接する走査線11の間に共通配線13が平行に設けられている。走査線11と信号線12の交差部分には、TFT14が形成され、これらがマトリクス状に配置されている。走査線11と信号線12の端部には、それぞれ走査線端子15、信号線端子16が設けられ、外部駆動回路からの駆動信号を入力するようになっている。

#### 【0027】

共通配線13は、液晶を交流駆動するための基準となる共通の電位を与えるために相互に結束されており、各共通配線13の両端がそれぞれ接続された共通配線結束線17が、TFT基板10の短辺の両側に1本ずつ設けられている。この共通配線13と、TFT14のソース電極に接続された画素電極との間で容量が形成される。各共通配線結束線17の端部には、それぞれ共通配線端子18が設けられている。

#### 【0028】

図2は、図1のTFT基板の1画素部を拡大して示す平面図、図3は、図2のA-a線、B-b線、C-c線に沿う断面図である。図2に示すように、TFT基板上に形成される走査線11と信号線12の交差区画には、櫛歯状に形成された画素電極21と共通電極22が交互に配置され、この電極間にTFT基板10と概ね平行な電界を発生させ、液晶分子の配列を制御している。また、この画素

電極 21 と共通電極 22 は、図 3 に示すように、TFT14 上に形成されたパッシベーション膜 32 と有機絶縁膜 33 からなる層間絶縁膜上に設けられている。

#### 【0029】

TFT14 は、本実施形態では、逆スタガ型の薄膜トランジスタの例を示しており、TFT14 のゲート電極 23 は走査線 11 の一部として形成され、ソース電極 24 には、層間絶縁膜に形成された画素電極用のコンタクトホール 26 を介して画素電極 21 が、共通配線 13 には、層間絶縁膜及びゲート絶縁膜 31 に形成された共通電極用のコンタクトホール 27 を介して共通電極 22 がそれぞれ接続され、ドレイン電極 25 には信号線 12 が接続されている。この TFT14 には、走査線 11、ゲート電極 23 を通して走査信号が、信号線 12、ドレイン電極 25 を通して表示信号が入力され、画素電極 21 への電荷の書き込みが行われる。また、共通配線 13 と蓄積容量電極 35 の間で蓄積容量が形成される。

#### 【0030】

図 4 は、共通電極用のコンタクトホール 27 の配置を示す模式平面図である。図 4 に示すように、コンタクトホール 27 は、すべての画素には形成されず、千鳥状に間引きされて設けられている。ここでは、画素数に対して 1/4 に間引きされている例を示した。なお、画素電極用のコンタクトホール 26 は勿論すべての画素に設けられている。

#### 【0031】

次に、第 1 の実施の形態の TFT 基板の製造方法を説明する。図 5、図 7、図 9、図 11、図 13、図 2 は、1 画素部分の各製造工程を示す平面図、図 6、図 8、図 10、図 12、図 14、図 3 は、それぞれ図 5、図 7、図 9、図 11、図 13、図 2 の A-a 線 ((a) 図)、B-b 線 ((b) 図)、C-c 線 ((c) 図) に沿う工程断面図である。ここで、A-a 線に沿う断面部は TFT 部、画素電極用のコンタクトホール部、蓄積容量部を示し、B-b 線に沿う断面部は画素部を示し、C-c 線に沿う断面部は信号線部、共通電極用のコンタクトホール部、蓄積容量部を示す。

#### 【0032】

先ず、図 5、図 6 に示すように、ガラス基板のような透明絶縁性基板 20 の上

に、スパッタリングにより、Cr、Mo、Cr/Al 積層膜、Mo/Al 積層膜等からなる導電層を約100～300 nmの膜厚で成膜し、フォトリソ工程により、ゲート電極23を兼ねる走査線11、共通配線13、及び走査線端子部（図示しない）、共通配線端子部（図示しない）を形成する。

#### 【0033】

次に、図7、図8に示すように、プラズマCVDにより、シリコン窒化膜からなるゲート絶縁膜31を約300～500 nmの膜厚で、更に、アモルファスシリコン（a-Si）を約150～300 nmの膜厚で、リンがドーパされたアモルファスシリコン（n<sup>+</sup>型a-Si）を約30～50 nmの膜厚で順次成膜し、フォトリソ工程によりTFET14の活性層となる半導体層34を形成する。走査線11、共通配線13と信号線の交差部にも耐圧向上用半導体層64を形成するのは両者の絶縁耐圧を高めるためである。

#### 【0034】

次に、図9、図10に示すように、スパッタリングにより、Cr、Mo、Cr/Al/Cr 積層膜、Mo/Al/Mo 積層膜等からなる導電層を約100～400 nmの膜厚で成膜し、フォトリソ工程により、ソース電極24、ドレイン電極25、蓄積容量電極35、信号線12、信号線端子部（図示しない）をそれぞれ形成し、続いて、ソース、ドレイン電極24、25をマスクとして、半導体層34上部のn<sup>+</sup>型a-Siをエッチング除去し、チャネルを形成する。

#### 【0035】

その後、プラズマCVDにより、シリコン窒化膜等の無機膜からなるパッシベーション膜32を約100～300 nmの膜厚で成膜する。

#### 【0036】

次に、図11、図12に示すように、ポジ型感光性ノボラック系レジストを用いて膜厚が約1.5～3.5 μmの有機絶縁膜33で成膜し、コンタクトホール形成部分に開口66、67を形成する。

#### 【0037】

その後、図13、図14に示すように、フォトリソ工程により、パッシベーション膜32をエッチングして開口66、67に対応する箇所に、ソース電極24

を露出させる画素電極用のコンタクトホール 26 と、信号線端子部を露出させるコンタクトホール（図示しない）を形成する。また同時に、パッシベーション膜 32 及びゲート絶縁膜 31 をエッチングして、共通配線 13 を露出させる共通電極用のコンタクトホール 27 と、走査線端子部、共通配線端子部を露出させるコンタクトホール（図示しない）と、各共通配線 13 の端部を露出させる共通配線結束線用のコンタクトホール（図示しない）を、それぞれ形成する。

#### 【0038】

次に、図 2、図 3 に示すように、スパッタリングにより有機絶縁膜 33 上に ITO 等からなる透明導電膜を成膜し、フォトリソ工程により画素電極 21 と共通電極 22 及び走査線端子部、信号線端子部、共通配線端子部上の接続電極（図示しない）、共通配線結束線（図示しない）を形成する。このとき、図 3（b）に示すように、信号線 12 に対応して有機絶縁膜 33 上に共通電極 22 の一つ 72 が位置し、また、図 3（a）に示すように、蓄積容量電極 35 に対応して有機絶縁膜 33 上に画素電極 21 の一つ 71 が位置するように形成する。これにより、画素電極用のコンタクトホール 26 を介して、ソース電極 24 に接続する画素電極 21 が、共通電極用のコンタクトホール 27 を介して、共通配線 13 に接続する共通電極 22 が、また、走査線、信号線、共通配線端子部用のコンタクトホールを介して、走査線端子部、信号線端子部、共通配線端子部に接続する接続電極が、共通配線結束線用のコンタクトホールを介して、各共通配線 13 の端部に接続する共通配線結束線がそれぞれ形成される。（端子部の構造については、後述する。）

次に、第 1 の実施の形態の TFT 基板の端子部の構造について説明する。図 15 は、基板周辺の端子部の平面図であり、図 16 は図 15 の D-d 線に沿う断面図で走査線端子及び共通配線端子を、図 17 は図 15 の E-e 線に沿う断面図で信号線端子を示す。走査線端子、共通配線端子は走査線と同一の金属膜で形成される端子部金属膜 41 上に共通電極と同一の透明導電膜で形成される接続電極 42 が、信号線端子は信号線と同一の金属膜で形成される端子部金属膜 81 上に共通電極と同一の透明導電膜で形成される接続電極 82 が、それぞれゲート絶縁膜及びパッシベーション膜、パッシベーション膜に開口された端子部コンタクトホ



ール43、83を介して接続された構造になっている。このように各端子部には有機絶縁膜は形成されていない。

#### 【0039】

なお、各共通配線13は、共通配線結束線用のコンタクトホール44を介して共通配線結束線17に接続されている。コンタクトホール44の断面構造は図示していないが図16と同様な構造になっている。

#### 【0040】

次に、第1の実施の形態のTFT基板と対向基板との間に液晶を挟持した液晶パネルの製造方法について簡単に説明する。図18は、この液晶パネルの1画素部分の断面図である。前述したTFT基板10にポリイミド系の配向剤からなる膜厚が30～60nmの配向膜51を形成し、配向処理をした後、エポキシ系樹脂接着剤からなるシール材（図示しない）をTFT基板10の周縁に沿って形成する。

#### 【0041】

一方、あらかじめカラーフィルタが形成される面とは反対側の面に、膜厚が約80～150nmのITO等の透明導電層56を成膜したガラス基板のような透明絶縁性基板30に、ネガ型感光性アクリル系顔料分散レジスト或いはカーボン系レジストを用いて、膜厚が約1～3 $\mu$ m、光学濃度（OD値）が3以上、シート抵抗値が $1 \times 10^{10} \Omega / \square$ 以上ブラックマトリクス52を形成する。次に、ネガ型感光性アクリル系顔料分散レジストを用いて、膜厚が約1.0～1.5 $\mu$ mの赤色カラーフィルタ53Rを形成する。同様に、青色カラーフィルタ53B及び緑色カラーフィルタ53Gの各色層を形成する。次に、ノボラック系レジストを用いて、膜厚が約2.0～3.5 $\mu$ mの有機絶縁膜であるオーバーコート膜54を形成する。更に、この上にポリイミド系の配向剤からなる膜厚が30～60nmの配向膜51を形成し、配向処理をして対向基板50とする。

#### 【0042】

その後、シール材と面内スペーサ（図示しない）を介して、TFT基板10の上に対向基板50を重ね合わせ、両基板の間に注入口（図示しない）からフッ素系化合物からなる液晶55を注入した後、UV硬化型アクリレート系樹脂からな

る封口材（図示しない）により注入口を封止し、所定ギャップのパネルを得る。

#### 【0043】

最後に、TFT基板10の素子面とは反対側の面と対向基板50のカラーフィルタとは反対側の面に、ヨウ素系偏光フィルムからなる偏光板57をそれぞれ貼り付ける。これにより、前述のTFT基板10を用いた広視野角、高開口率の液晶パネルが製造される。

#### 【0044】

以上のように、信号線の少なくとも一部を層間絶縁膜を介して共通電極で被覆するようにした横方向電界型の液晶表示装置において、共通配線と共通電極を接続するコンタクトホールを画素毎に形成せず、間引きして形成するようにしたので、信号線形成工程で異物等によりパターンニング不良が発生しても、このコンタクトホールを介して、信号線と共通電極がショートする確率を低減でき、製造歩留を向上することができる。特に、画素面積の小さいQSXGAクラスの大型高精細パネルでは、この効果が顕著である。更に、前述のコンタクトホールを千鳥状に配置したので、表示の均一性を確保することができる。

#### 【0045】

（第2の実施の形態）

本発明の第2の実施の形態は、TFT上の層間絶縁膜を無機膜のみで形成する場合に係わる。TFT基板の構成は、図1の第1の実施の形態と同じである。

#### 【0046】

図19は、図1のTFT基板の1画素部を拡大して示す平面図、図20は、図19のA-a線、B-b線、C-c線に沿う断面図である。図19に示すように、TFT基板上に形成される走査線11と信号線12の交差区画には、櫛歯状に形成された画素電極21と共通電極22が交互に配置され、この電極間にTFT基板10と概ね平行な電界を発生させ液晶分子の配列を制御している。また、この画素電極21と共通電極22は、図20に示すように、TFT14上に形成された2層のパッシベーション膜61、62からなる層間絶縁膜上に設けられている。

#### 【0047】

第1の実施の形態と全く同様に、本実施形態でも、TF T 1 4は、逆スタガ型の薄膜トランジスタの例を示しており、TF T 1 4のゲート電極23は走査線11の一部として形成され、ソース電極24には層間絶縁膜に形成された画素電極用のコンタクトホール26を介して画素電極21が、共通配線13には層間絶縁膜及びゲート絶縁膜31に形成された共通電極用のコンタクトホール27を介して共通電極22がそれぞれ接続され、ドレイン電極25には信号線12が接続されている。本実施形態では、共通電極用のコンタクトホール27は、すべての画素に設けられている。

#### 【0048】

次に、第2の実施の形態のTF T基板の製造方法を説明する。TF T 1 4を形成する工程は、第1の実施の形態と全く同じ（図5～図10）なので、説明は省略する。図21、図23、図19は、1画素部分のパッシベーション膜形成工程以降の製造工程を示す平面図、図22、図24、図20は、それぞれ図21、図23、図19のA-a線（（a）図）、B-b線（（b）図）、C-c線（（c）図）に沿う工程断面図である。ここでも、A-a線に沿う断面部はTF T部、画素電極用のコンタクトホール部、蓄積容量部を示し、B-b線に沿う断面部は画素部を示し、C-c線に沿う断面部は信号線部、共通電極用のコンタクトホール部、蓄積容量部を示す。

#### 【0049】

図21、図22に示すように、プラズマCVDにより、シリコン窒化膜等の無機膜からなる第1のパッシベーション膜61を約300～500nmの膜厚で成膜し、フォトリソ工程により、第1のパッシベーション膜61をエッチングしてソース電極24を露出させる画素電極用の開口86と信号線端子部を露出させるコンタクトホール（図示しない）を形成する。また同時に、第1のパッシベーション膜61及びゲート絶縁膜31をエッチングして、共通配線13を露出させる共通電極用の開口87と、走査線端子部、共通配線端子部を露出させるコンタクトホール（図示しない）と、各共通配線13の端部を露出させる共通配線結束線用のコンタクトホール（図示しない）をそれぞれ開口する。このときのコンタクトホールのエッチングは、ドライエッチング若しくはウェットエッチングとドラ

イエッチングの組み合わせで行い、少なくともドライエッチングを含むことが特徴である。

#### 【0050】

次に、図23、図24に示すように、再度プラズマCVDにより、シリコン窒化膜等の無機膜からなる第2のパッシベーション膜62を、約300～500nmの膜厚で成膜し、フォトリソ工程により、上記工程と同一のマスクを用いて、第2のパッシベーション膜62をエッチングして、ソース電極24を露出させる画素電極用のコンタクトホール96と、信号線端子部を露出させるコンタクトホール（図示しない）を、第1のパッシベーション膜61及びゲート絶縁膜31をエッチングして、共通配線13を露出させる共通電極用のコンタクトホール97と、走査線端子部、共通配線端子部を露出させるコンタクトホール（図示しない）と、各共通配線13の端部を露出させる共通配線結束線用のコンタクトホール（図示しない）をそれぞれ開口する。このとき、露光量を調整し、上記工程のコンタクトホールの内側に開口を設けるようにする。また、このときのコンタクトホールのエッチングは、ウェットエッチング、ドライエッチングのどちらでもよく、両者の組み合わせで行ってもよい。

#### 【0051】

次に、図19、図20に示すように、第1の実施の形態と全く同様に、スパッタリングにより、有機絶縁膜33上にITO等からなる透明導電膜を成膜し、フォトリソ工程により、画素電極21と共通電極22及び走査線端子部、信号線端子部、共通配線端子部上の接続電極（図示しない）、共通配線結束線（図示しない）を形成する。このとき、信号線12に対応して、第1、2のパッシベーション膜61、62上に共通電極22の一つ72が位置し、また、蓄積容量電極35に対応して有機絶縁膜33上に画素電極21の一つ71が位置するように形成する。これにより、画素電極用のコンタクトホール96を介して、ソース電極24に接続する画素電極21が、共通電極用のコンタクトホール97を介して、共通配線13に接続する共通電極22が、また、走査線、信号線、共通配線端子部用のコンタクトホールを介して、走査線端子部、信号線端子部、共通配線端子部に接続する接続電極が、共通配線結束線用のコンタクトホールを介して、各共通配

線 13 の端部に接続する共通配線結束線が、それぞれ形成される。ここで、各端子部の構造は、パッシベーション膜が 2 層になっている以外は、第 1 の実施の形態（図 16、図 17）と全く同様である。

#### 【0052】

続くセル工程は、第 1 の実施の形態と全く同様に行い、本実施形態の TFT 基板を用いた液晶パネルが製造される。

#### 【0053】

本発明者の実験によると、パッシベーション膜が単層で、コンタクトホール開口工程が 1 回の場合、信号線と共通電極のショートが多発した。この原因は、コンタクトホール開口時のドライエッチングに起因して、層間絶縁膜にピンホールが形成されるためと判明した。これは、コンタクトホール開口工程で、フォトリソの異物や欠陥部にプラズマが集中するために発生すると推定される。パッシベーション膜を 2 層化し、コンタクトホール開口工程を 2 回に分けることにより、第 1 のパッシベーション膜 61 にはピンホールが発生するが、第 2 のパッシベーション膜 62 にはピンホールが発生したとしても、同一箇所に発生する確率は極めて低い。即ち、第 2 のパッシベーション膜 62 の開口の際、ドライエッチングを用いると、同様にピンホールは形成されるが、第 2 のパッシベーション膜 62 をエッチングする時間は、当然第 1 のパッシベーション膜 61 と第 2 のパッシベーション膜 62 の全膜厚をエッチングしてしまう時間よりは短いので、パッシベーション膜の全膜厚分を貫通してピンホールが形成されることはない。勿論、第 2 のパッシベーション膜 62 をウェットエッチングする場合は、第 2 のパッシベーション膜 62 にはピンホールが発生することはない、ピンホールは第 1 のパッシベーション膜の膜厚分のみしか形成されない。従って、信号線の少なくとも一部を層間絶縁膜を介して共通電極で被覆するようにした横方向電界型の液晶表示装置において、本実施形態のような製造方法をとることにより、信号線と共通電極のショートを著しく低減することが可能である。

#### 【0054】

また、本実施形態では、第 1 のパッシベーション膜 61 の開口と第 2 のパッシベーション膜 62 の開口を同一マスクを用いて行うので、フォトリソ工程は 1 工

程増えるが、マスク数は増えないという利点がある。更に、第2のパッシベーション膜62の開口を第1のパッシベーション膜61の開口の内側に設けたので、第2のパッシベーション膜62の開口をウェットエッチングで行っても、コンタクトホールを良好に保つことができる。即ち、第2のパッシベーション膜62の開口を第1のパッシベーション膜61の開口の外側に設けた場合、特に、ゲート絶縁膜に酸化シリコン膜等、窒化シリコン膜とは異なる膜を用いたときなどは、酸化シリコン膜にサイドエッチが入り、コンタクトホールの形状を階段形状に保てず、上に形成する透明導電膜の段切れを発生させてしまう。第2のパッシベーション膜62の開口を第1のパッシベーション膜61の開口の内側に設けることで、第1のパッシベーション膜61の開口部側壁が第2のパッシベーション膜62で保護されるため、このような不具合を防止することができる。

#### 【0055】

(第3の実施の形態)

本発明の第3の実施の形態は、第2の実施の形態と同様に、TF T上の層間絶縁膜を無機膜のみで形成する場合に係わる。本実施形態では、層間絶縁膜の無機膜は単層で形成されていることが、第2の実施の形態と異なるだけで、他の構成は第2の実施の形態と全く同様である。

#### 【0056】

図19は、図1のTF T基板の1画素部を拡大して示す平面図(第2の実施の形態と同じ)、図25は、図19のA-a線、B-b線、C-c線に沿う断面図である。図25に示すように、このTF T基板の画素電極21と共通電極22は、TF T14上に形成された単層のパッシベーション膜32からなる層間絶縁膜上に設けられている。

#### 【0057】

次に、第3の実施の形態のTF T基板の製造方法を説明する。第2の実施の形態と異なるところは、パッシベーション膜形成及びコンタクトホール開口工程だけである。即ち、プラズマCVDにより、シリコン窒化膜等の無機膜からなるパッシベーション膜32を、約700~1000nmの膜厚で成膜し、フォトリソ工程により、パッシベーション膜32をエッチングして、ソース電極24を露出

させる画素電極用のコンタクトホール 96 と、信号線端子部を露出させるコンタクトホール（図示しない）を、パッシベーション膜 32 及びゲート絶縁膜 31 をエッチングして、共通配線 13 を露出させる共通電極用のコンタクトホール 97 と、走査線端子部、共通配線端子部を露出させるコンタクトホール（図示しない）と、各共通配線 13 の端部を露出させる共通配線結束線用のコンタクトホール（図示しない）をそれぞれ開口する。このときのコンタクトホールのエッチングは、ウェットエッチングとドライエッチングの組み合わせで行い、ドライエッチングでエッチングする膜厚分（正確には、ドライエッチングする時間分の膜厚）よりパッシベーション膜 32 の膜厚を厚くすることが特徴である。

#### 【0058】

このように、コンタクトホール開口時に、ドライエッチングでエッチングする時間分の膜厚よりパッシベーション膜を厚く形成することにより、前述と同様の理由で、パッシベーション膜にピンホールが形成されたとしても、ピンホールがその全膜厚を貫通することはなく、従って、信号線と共通電極のショートを著しく低減することが可能である。

#### 【0059】

なお、第 1 の実施の形態では、感光性ノボラック系レジストのような有機絶縁膜を用いた例を示したが、勿論ポリイミド樹脂やアクリル樹脂を用いてもよいし、シリコン酸化膜やシリコン窒化膜等の無機系樹脂材料であってもよい。また、感光性でなく非感光性のものでもよい。この場合は、通常の写真リソ工程と同様に、現像後にエッチング工程とレジスト剥離工程が必要になる。また、有機絶縁膜の形成工程とパッシベーション膜の開口工程は、別々の写真リソ工程である例を示したが、同一の写真リソ工程で開口してもよい。

#### 【0060】

また、前述の実施の形態では、逆スタガチャネルエッチ型 TFT を有する液晶表示装置について述べたが、チャネル保護型や順スタガ型 TFT でもよく、また、スタガード型 TFT のみならず、コプレーナ型の TFT についても適用できることは言うまでもない。また、a-Si TFT のみならず、ポリシリコン（p-Si）TFT にも適用できる。更に、スイッチング素子は MIM であってもよい。

。

**【0061】****【発明の効果】**

以上説明したように、本発明によれば、信号線の少なくとも一部を層間絶縁膜を介して共通電極で被覆するようにした横方向電界型の液晶表示装置において、表示性能を劣化させることなく、信号線と共通電極のショートを著しく低減し、製造歩留を向上することが可能である。

**【図面の簡単な説明】****【図1】**

本発明の第1の実施の形態に係る横方向電界型液晶表示装置におけるTF T基板の構成を概念的に示す平面図である。

**【図2】**

図1のTF T基板の1画素部を拡大して示す平面図である。

**【図3】**

図2のA-a線、B-b線、C-c線に沿う断面図である。

**【図4】**

共通電極用のコンタクトホール配置を示す模式図である。

**【図5】**

図1のTF T基板を用いた液晶パネルの製造方法の一例を説明する、1画素部の工程平面図（第1工程）である。

**【図6】**

図5のA-a線、B-b線、C-c線に沿う工程断面図である。

**【図7】**

図1のTF T基板を用いた液晶パネルの製造方法の一例を説明する、1画素部の工程平面図（第2工程）である。

**【図8】**

図7のA-a線、B-b線、C-c線に沿う工程断面図である。

**【図9】**

図1のTF T基板を用いた液晶パネルの製造方法の一例を説明する、1画素部



の工程平面図（第3工程）である。

【図10】

図9のA-a線、B-b線、C-c線に沿う工程断面図である。

【図11】

図1のTFT基板を用いた液晶パネルの製造方法の一例を説明する、1画素部の工程平面図（第4工程）である。

【図12】

図11のA-a線、B-b線、C-c線に沿う工程断面図である。

【図13】

図1のTFT基板を用いた液晶パネルの製造方法の一例を説明する、1画素部の工程平面図（第5工程）である。

【図14】

図13のA-a線、B-b線、C-c線に沿う工程断面図である。

【図15】

図1のTFT基板周辺の端子部の平面図である。

【図16】

図15のD-d線に沿う断面図である。

【図17】

図15のE-e線に沿う断面図である。

【図18】

図1のTFT基板を用いた液晶パネルの1画素部分の断面図である。

【図19】

本発明の第2の実施の形態に係る横方向電界型液晶表示装置におけるTFT基板の1画素部を拡大して示す平面図である。

【図20】

図19のA-a線、B-b線、C-c線に沿う断面図である。

【図21】

本発明の第2の実施の形態のTFT基板の1画素部の工程平面図（第4工程）である。

**【図 2 2】**

図 2 1 の A - a 線、B - b 線、C - c 線に沿う工程断面図である。

**【図 2 3】**

本発明の第 2 の実施の形態の T F T 基板の 1 画素部の工程平面図（第 5 工程）である。

**【図 2 4】**

図 2 3 の A - a 線、B - b 線、C - c 線に沿う工程断面図である。

**【図 2 5】**

本発明の第 3 の実施の形態に係る横方向電界型液晶表示装置における T F T 基板の 1 画素部を拡大して示す平面図（図 1 9 と同じ）の A - a 線、B - b 線、C - c 線に沿う断面図である。

**【図 2 6】**

従来の横方向電界型液晶表示装置における T F T 基板の 1 画素部を拡大して示す平面図である。

**【図 2 7】**

図 2 6 の X - X' 線に沿う断面図である。

**【図 2 8】**

図 2 6 の Y - Y' 線に沿う断面図である。

**【符号の説明】**

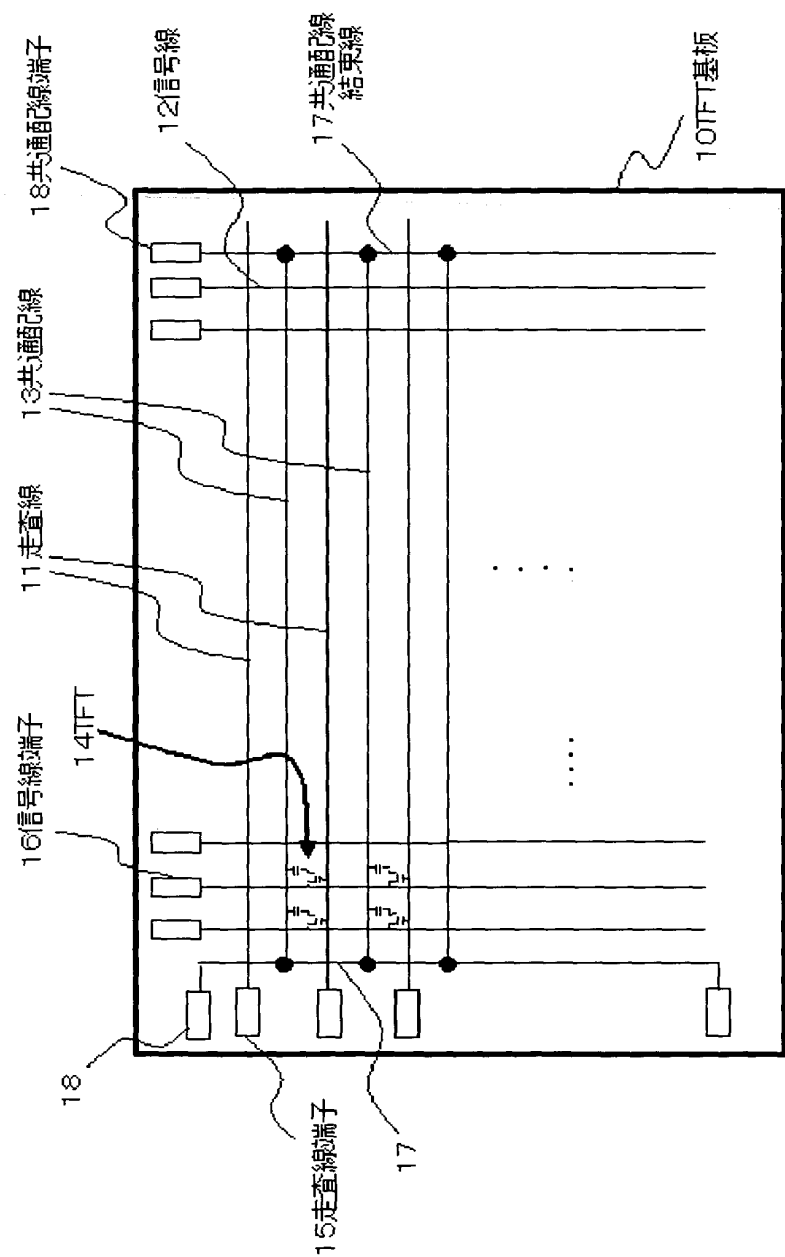
- 1 0      T F T 基板
- 2 0、3 0、1 2 0      透明導電性基板
- 1 1、1 1 1      走査線
- 1 2、1 1 2      信号線
- 1 3、1 1 3      共通配線
- 1 4、1 1 4      T F T
- 1 5      走査線端子
- 1 6      信号線端子
- 1 7      共通配線結束線
- 1 8      共通配線端子

- 21、71、121 画素電極  
22、72、122 共通電極  
23、123 ゲート電極  
24、124 ソース電極  
25、125 ドレイン電極  
26、27、44、96、97、126、127 コンタクトホール  
31、131 ゲート絶縁膜  
32 パッシベーション膜  
33、133 有機絶縁膜  
34、134 半導体層  
35 蓄積容量電極  
41、81 端子部金属膜  
42、82 接続電極  
43、83 端子部コンタクトホール  
50 対向基板  
51 配向膜  
52 ブラックマトリクス  
53R, 53G, 53B カラーフィルタ  
54 オーバーコート膜  
55 液晶  
56 透明導電層  
57 偏光板  
61 第1のバッシベーション膜  
62 第2のバッシベーション膜  
64 耐圧向上用半導体層  
66、67、86、87 開口  
132 保護膜  
164 アモルファスシリコン (a-Si) 層  
174 n<sup>+</sup>型アモルファスシリコン (n<sup>+</sup>型 a-Si) 層

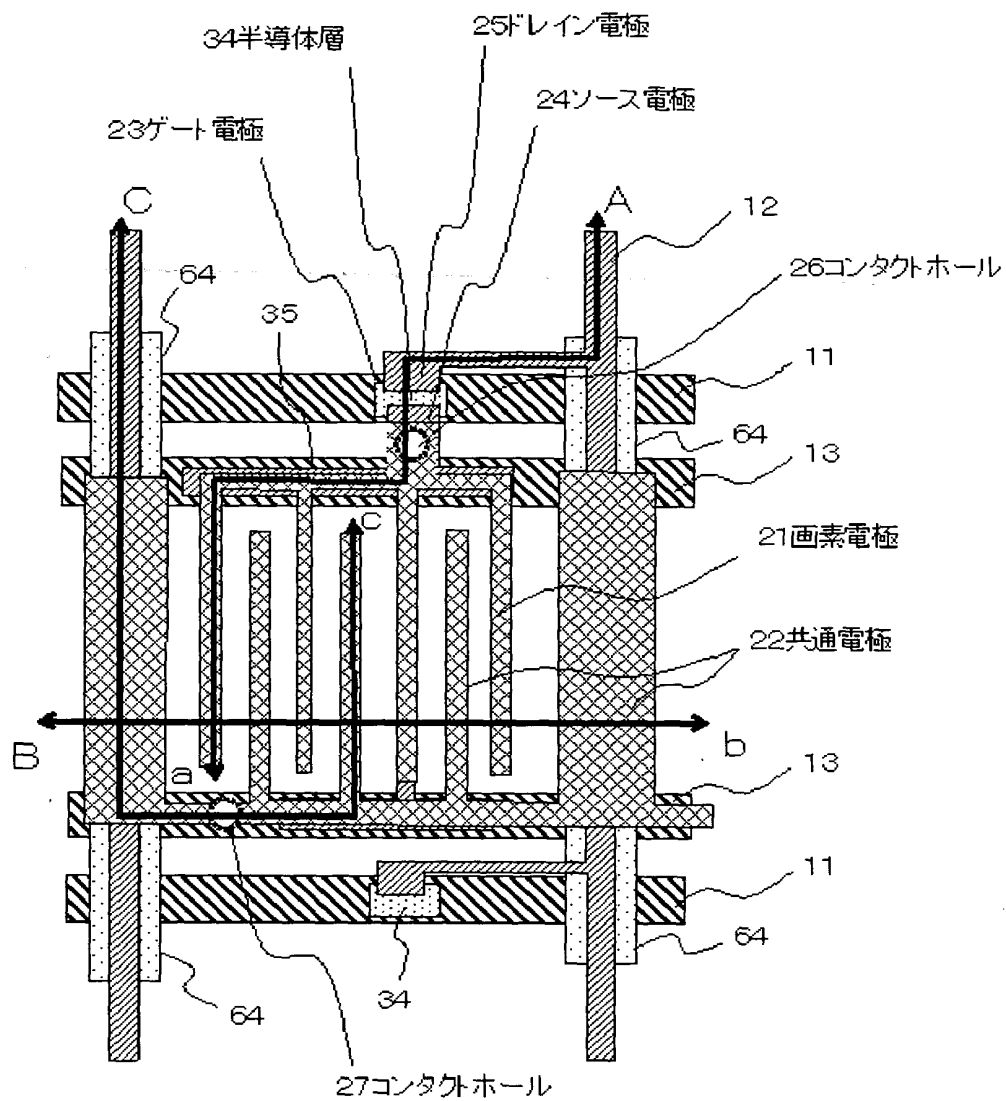


【書類名】 図面

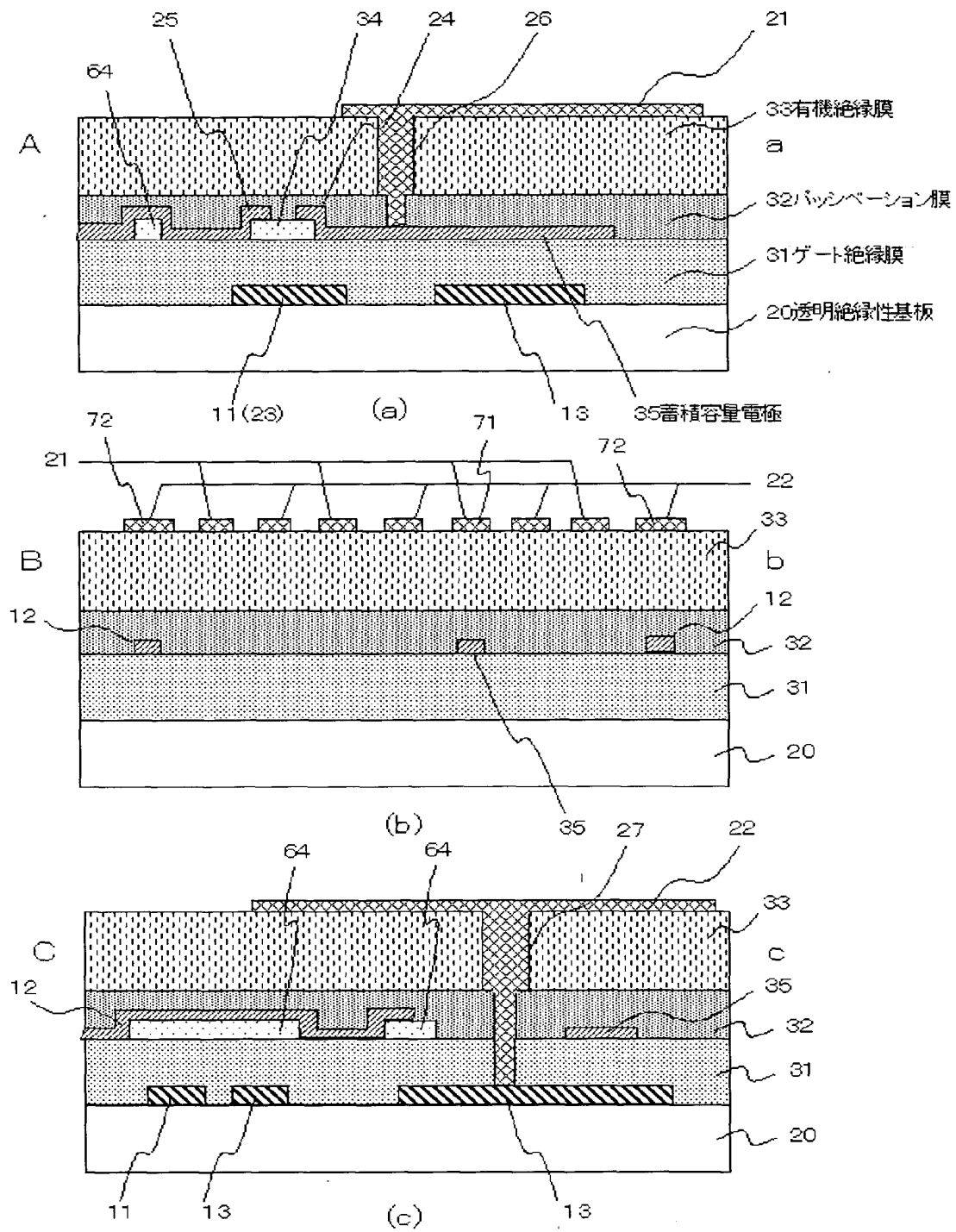
【図1】



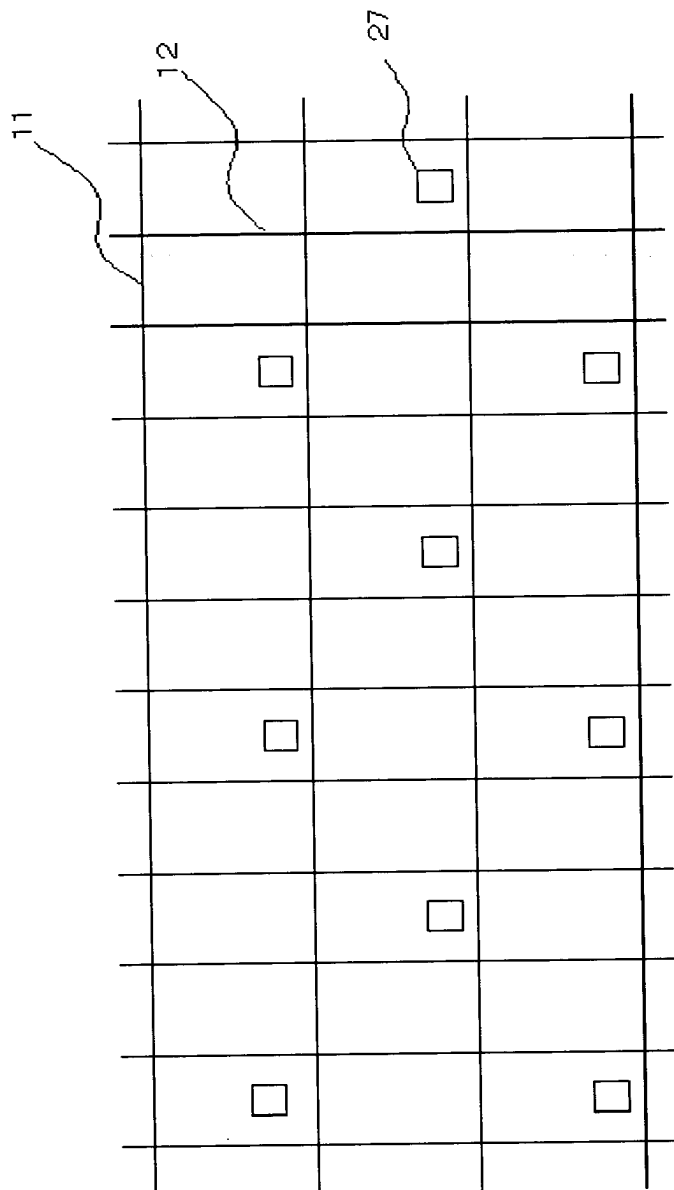
【圖 2】



【図 3】

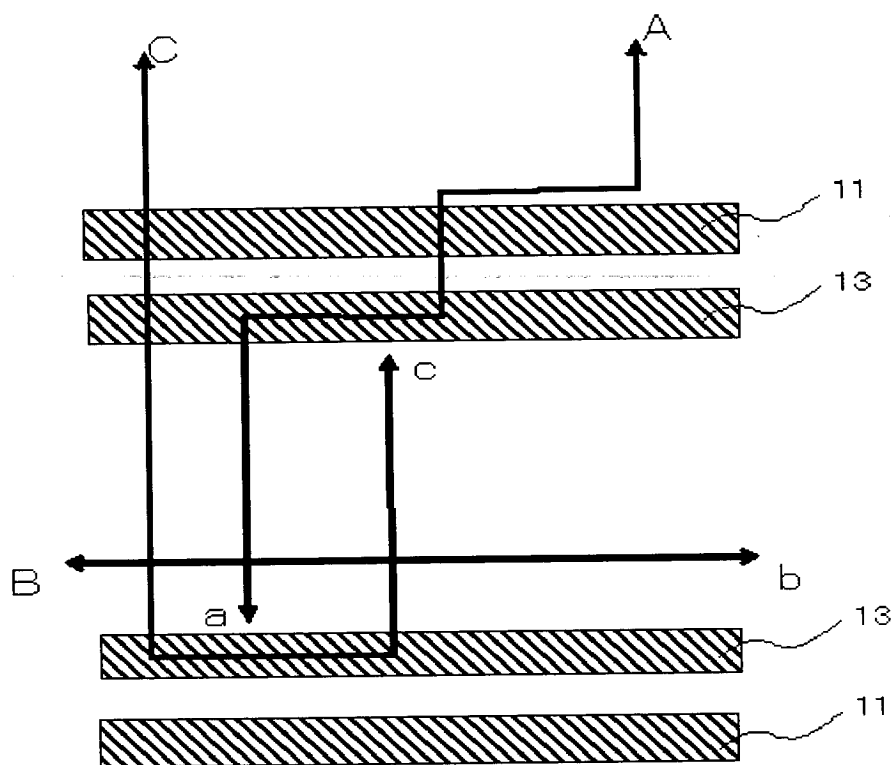


【図 4】

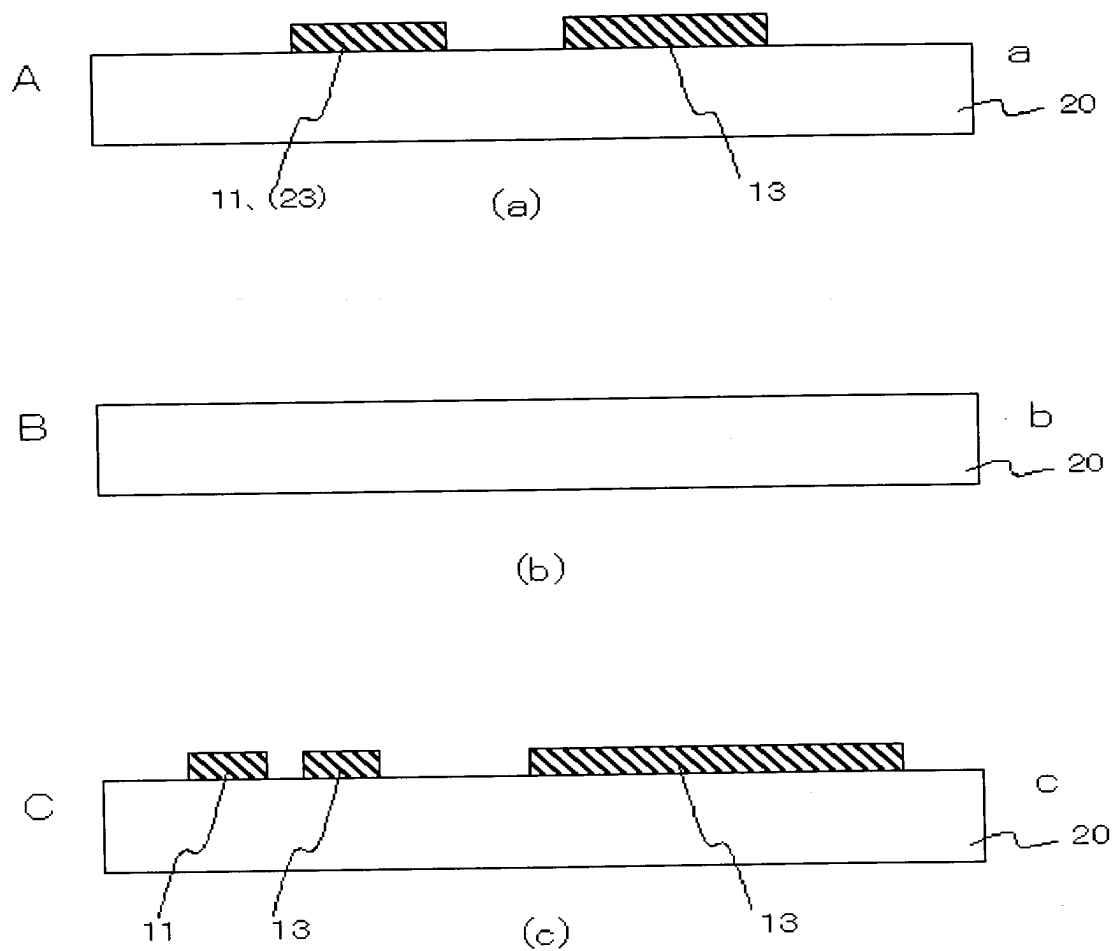




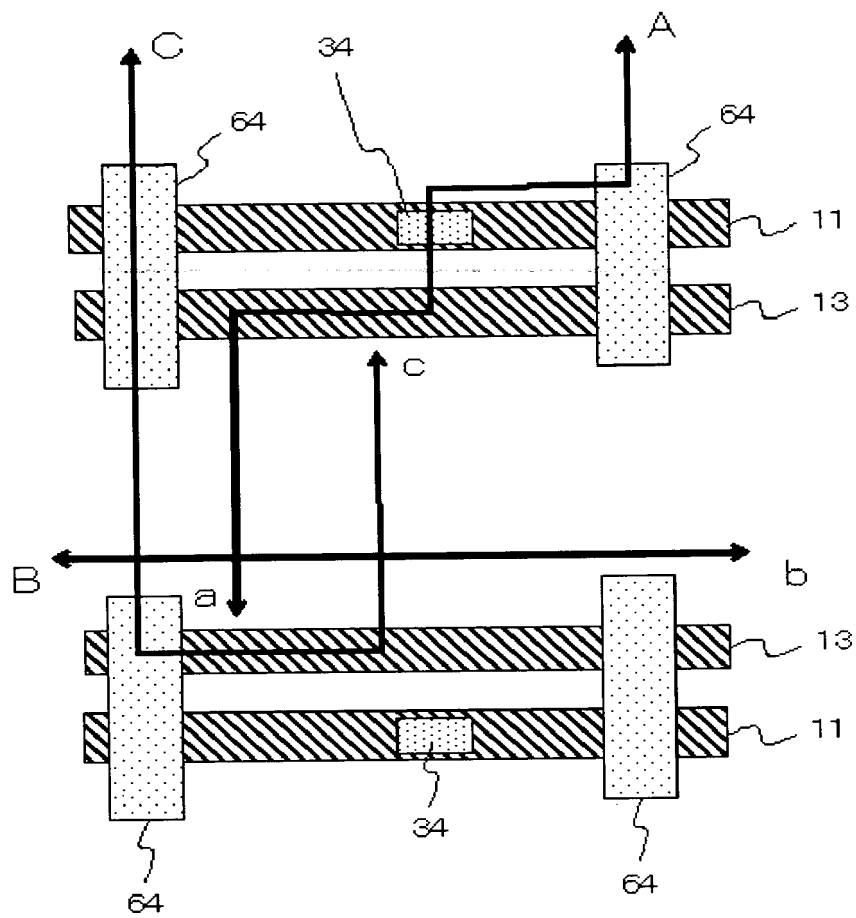
【図 5】



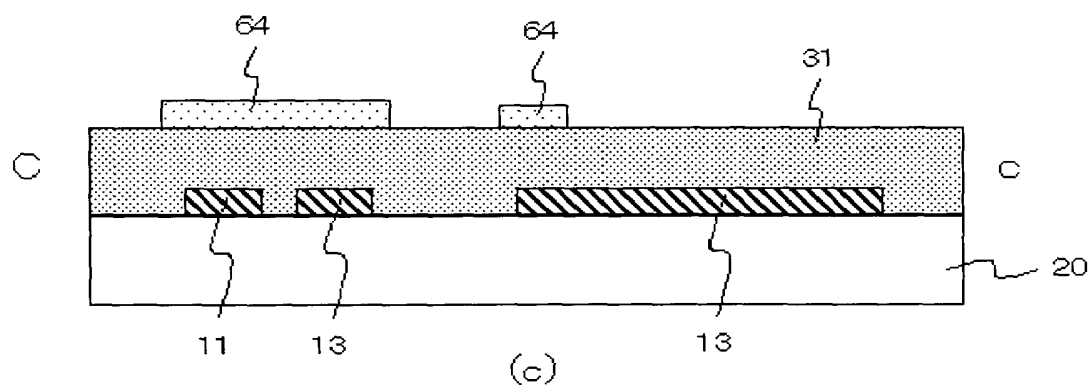
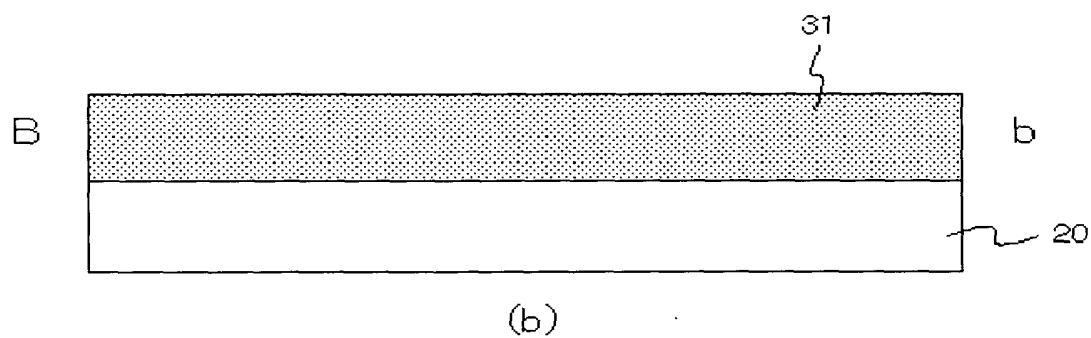
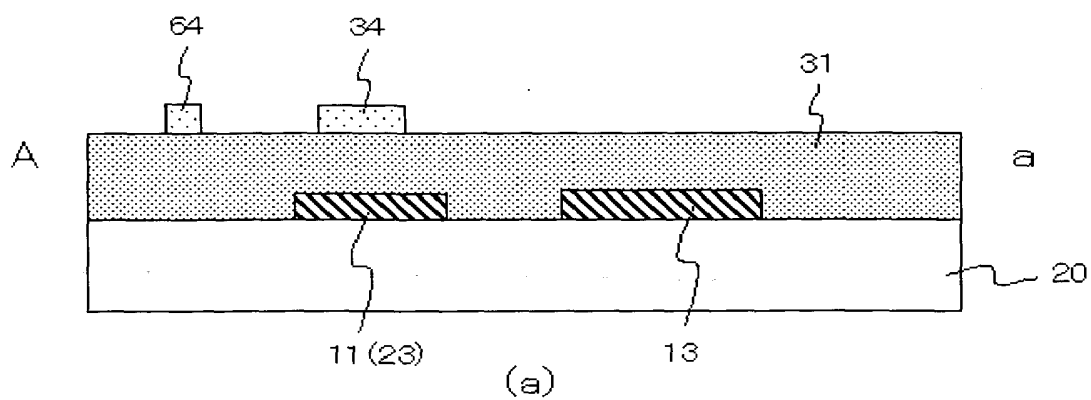
【図 6】



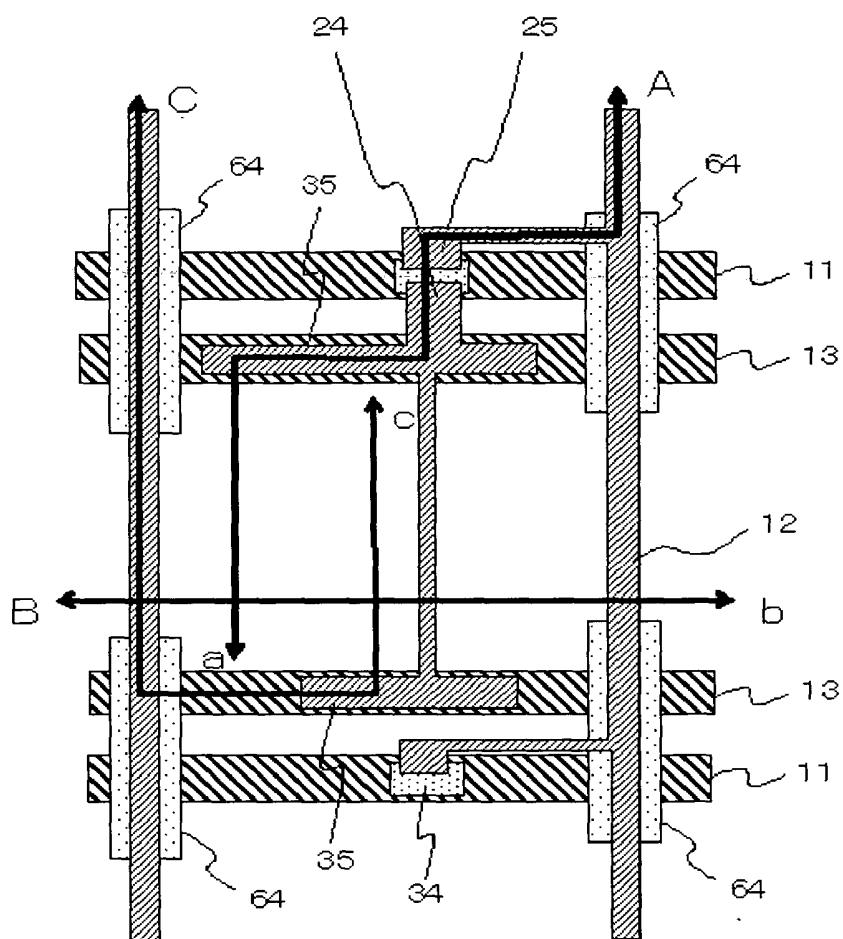
【図 7】



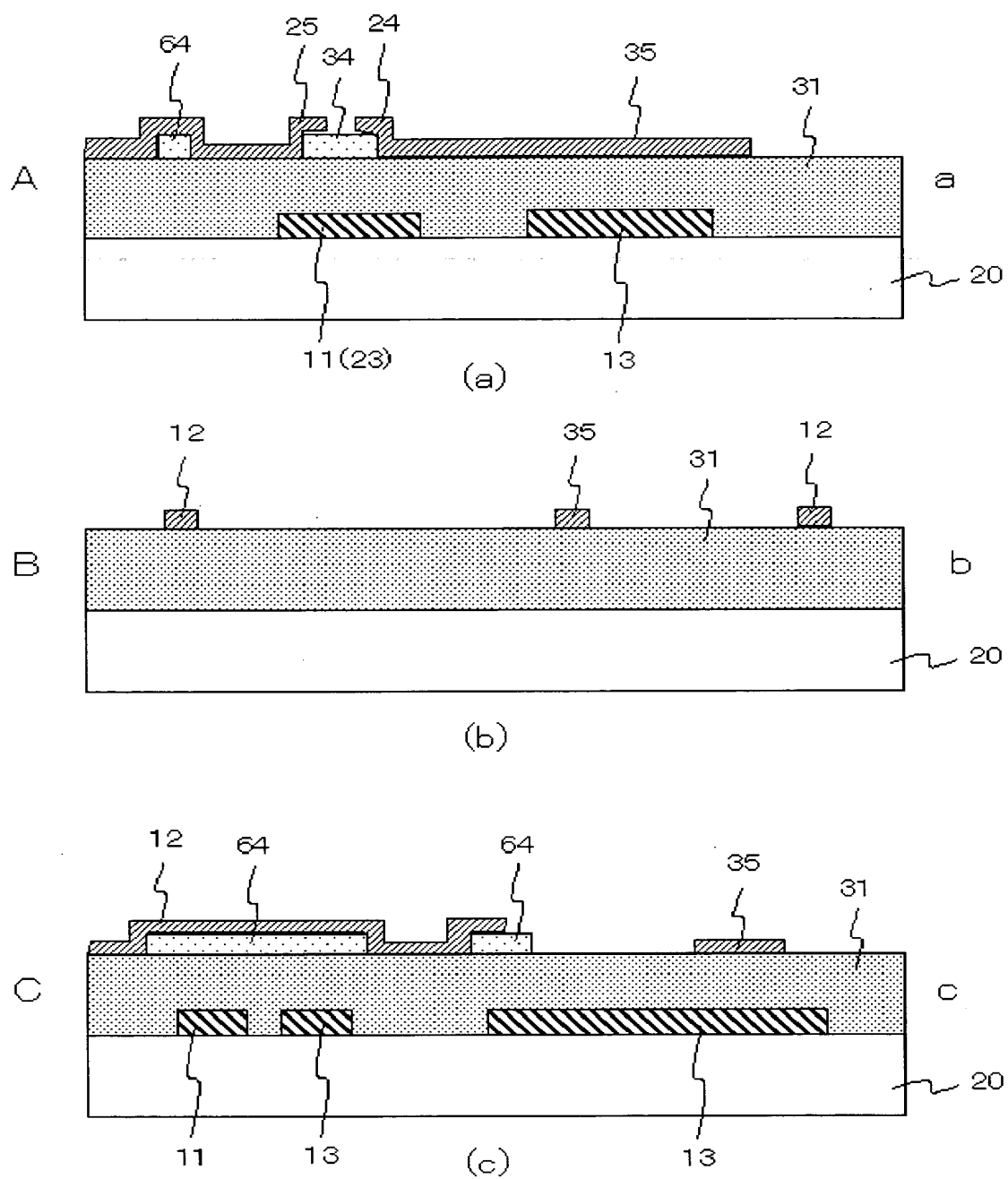
【図8】



【図 9】

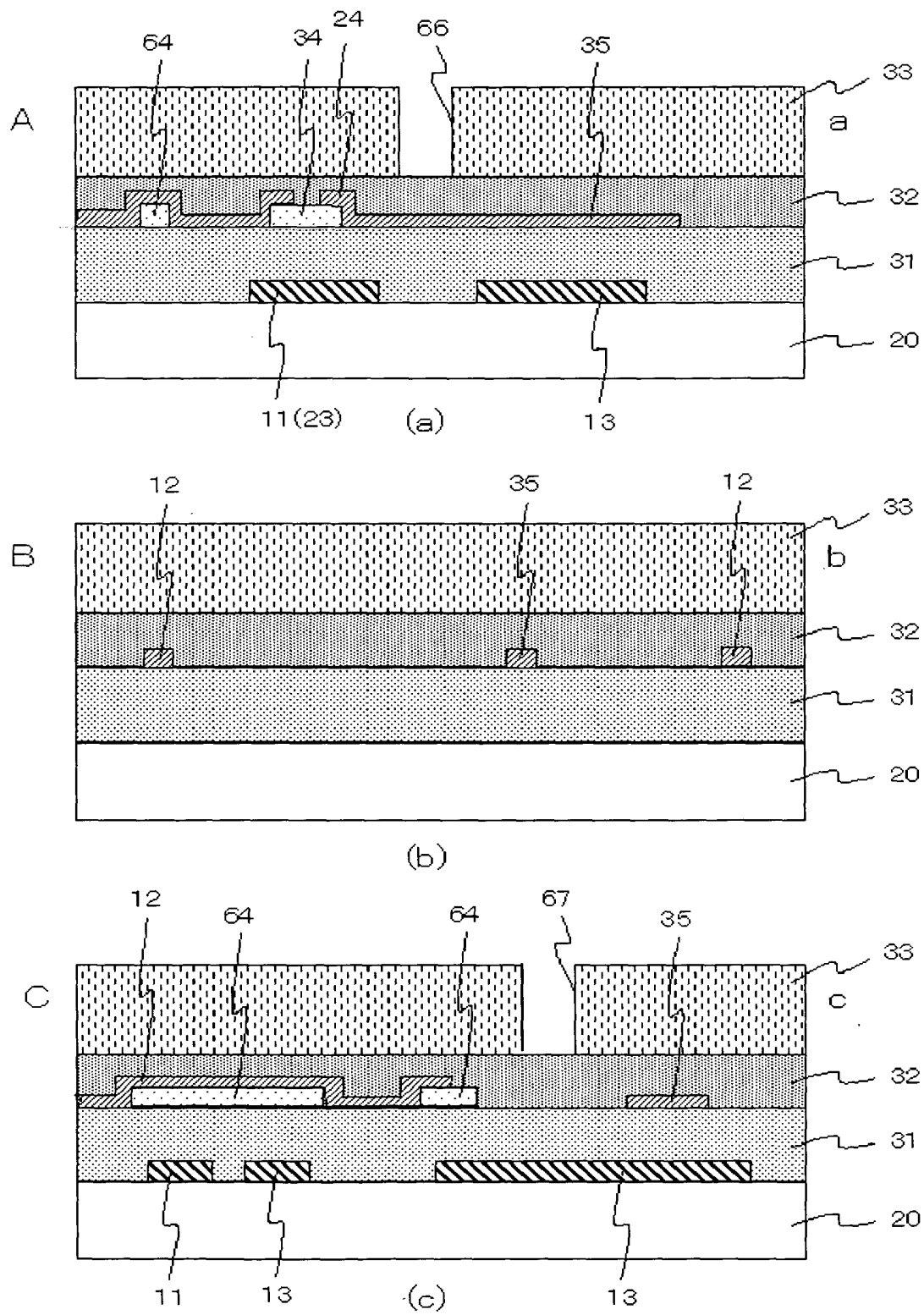


【図 10】



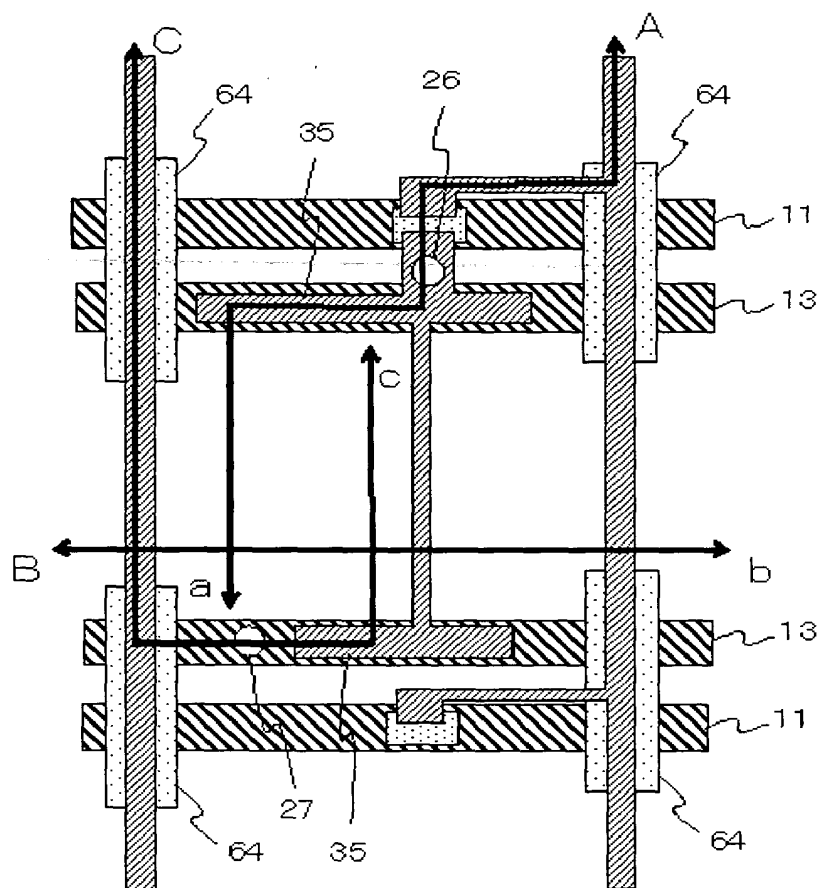


【図12】

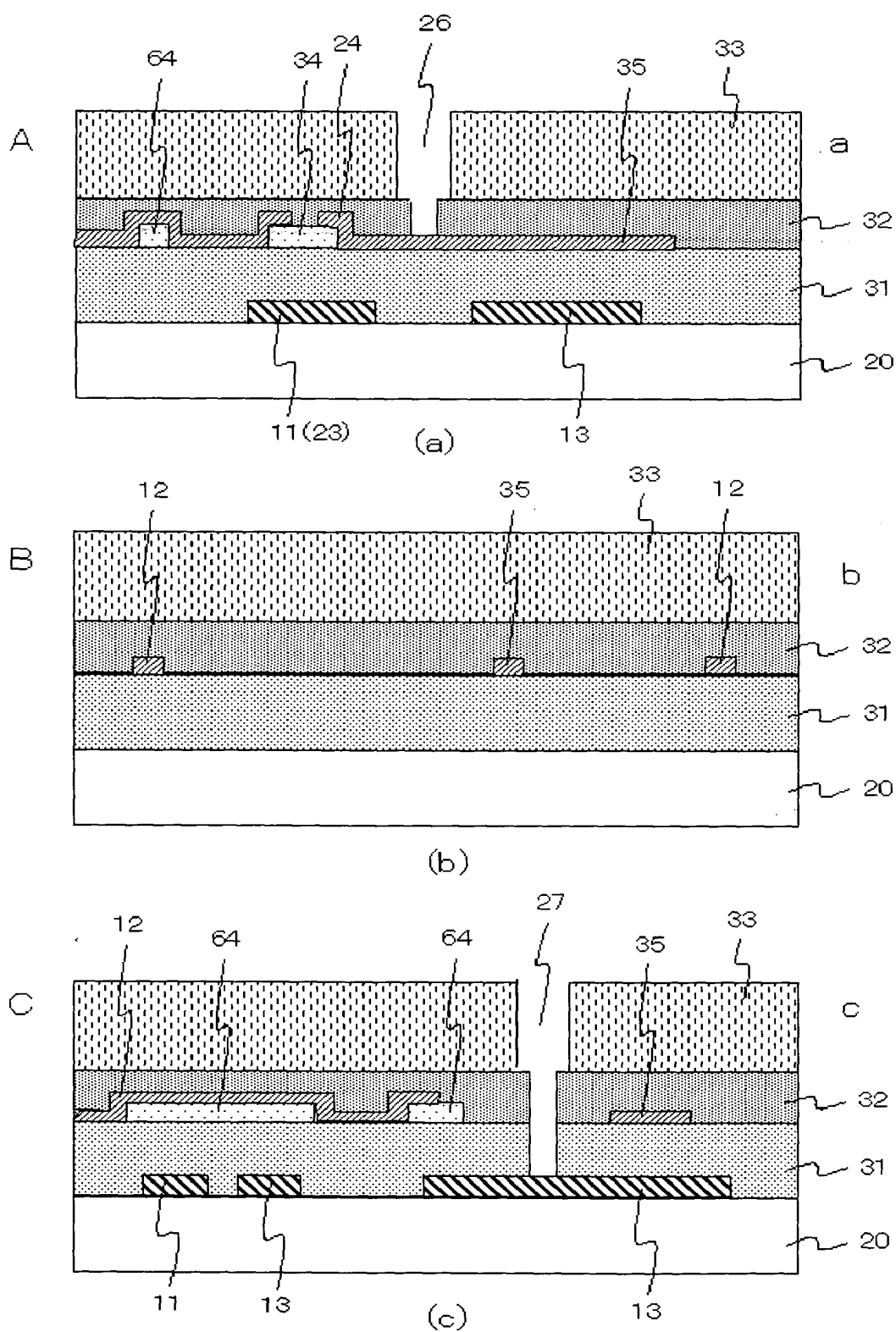




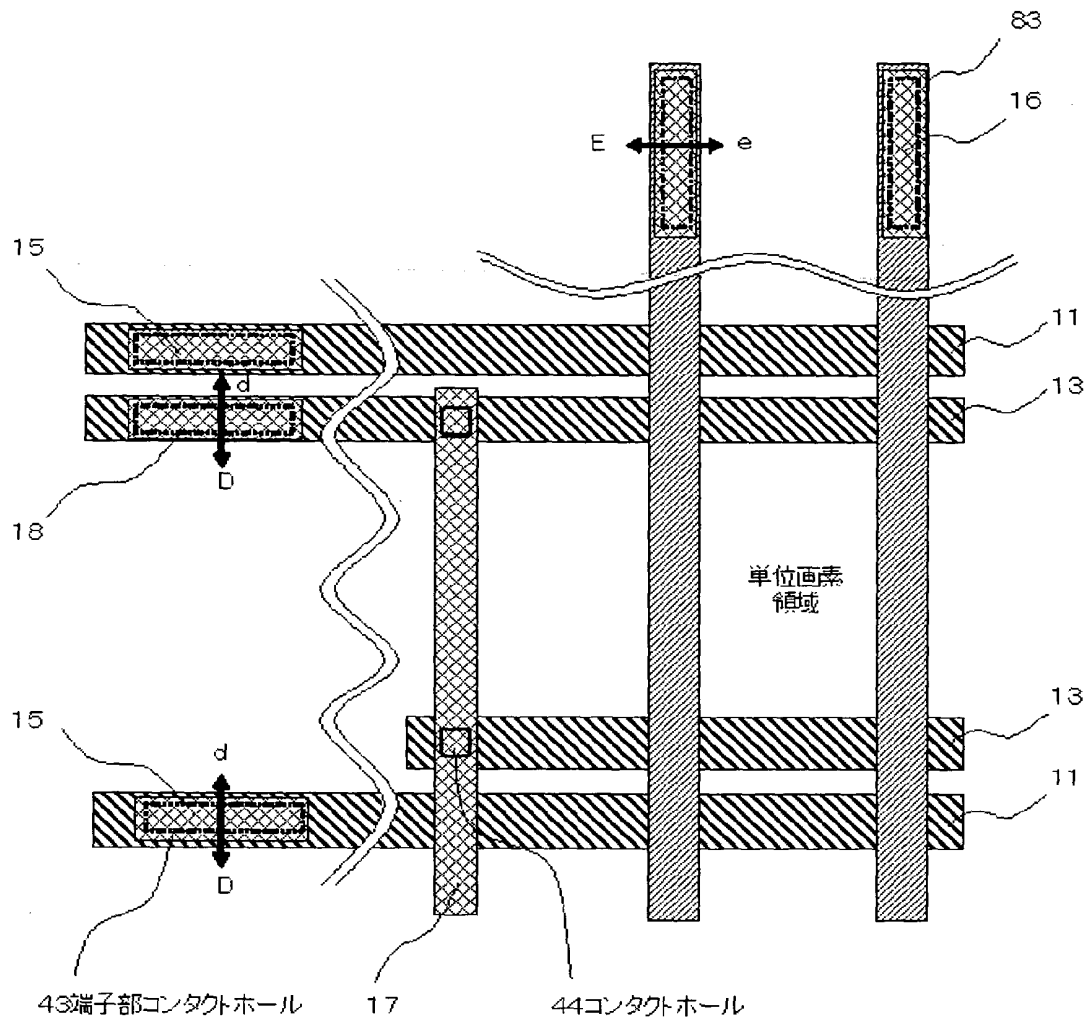
【図 13】



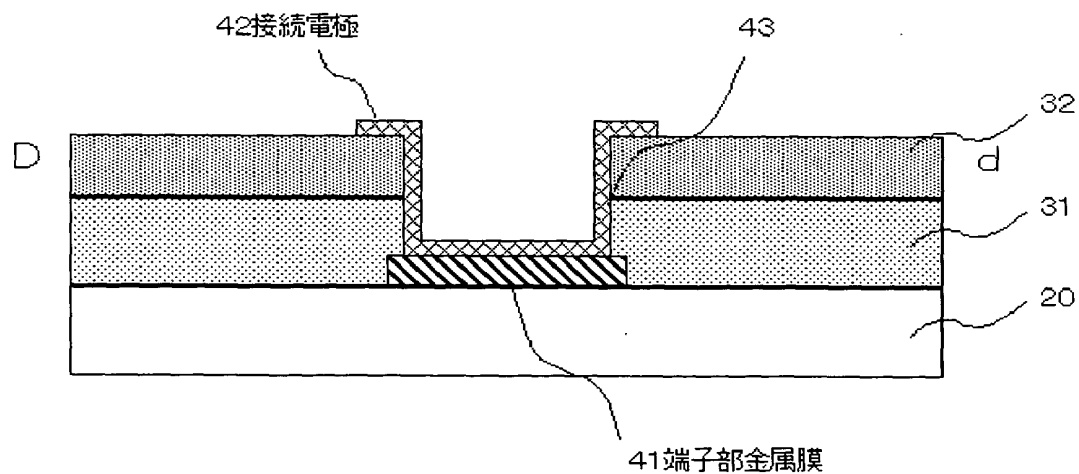
【図14】



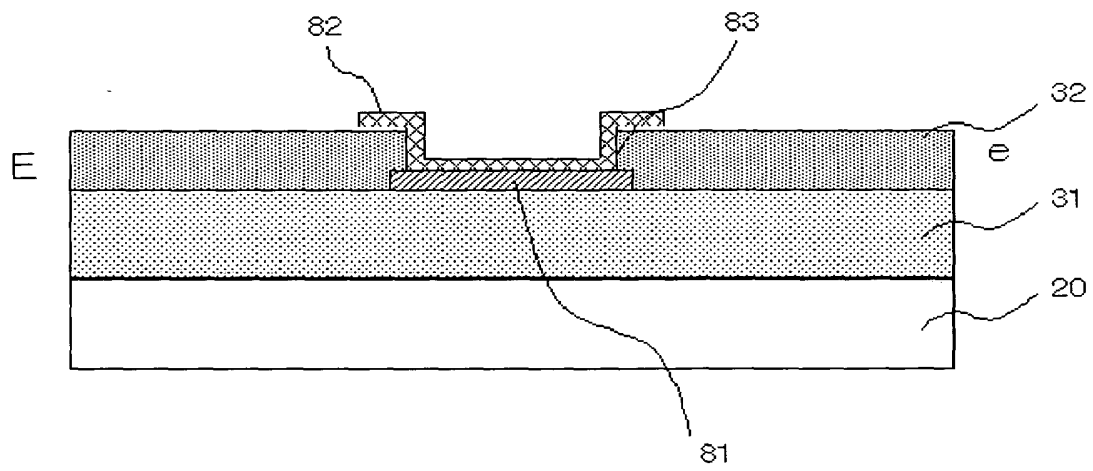
【図15】



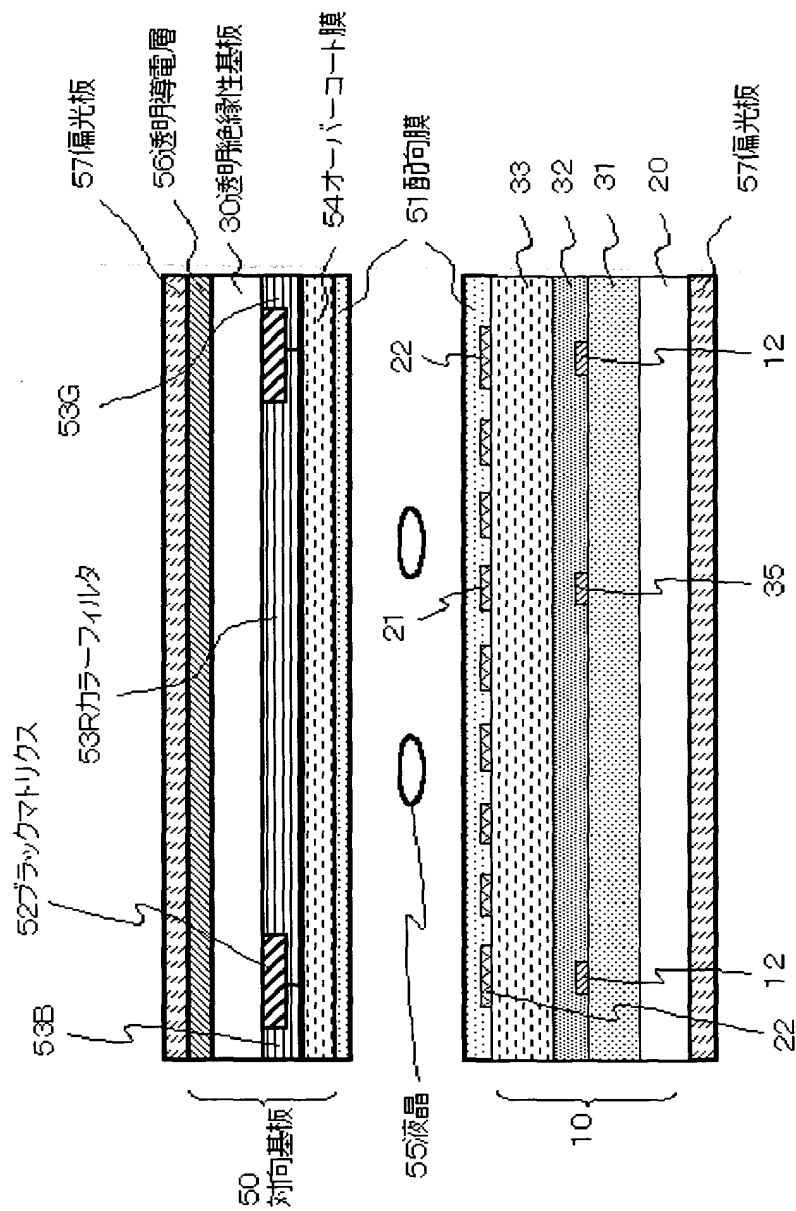
【図16】



【図 17】

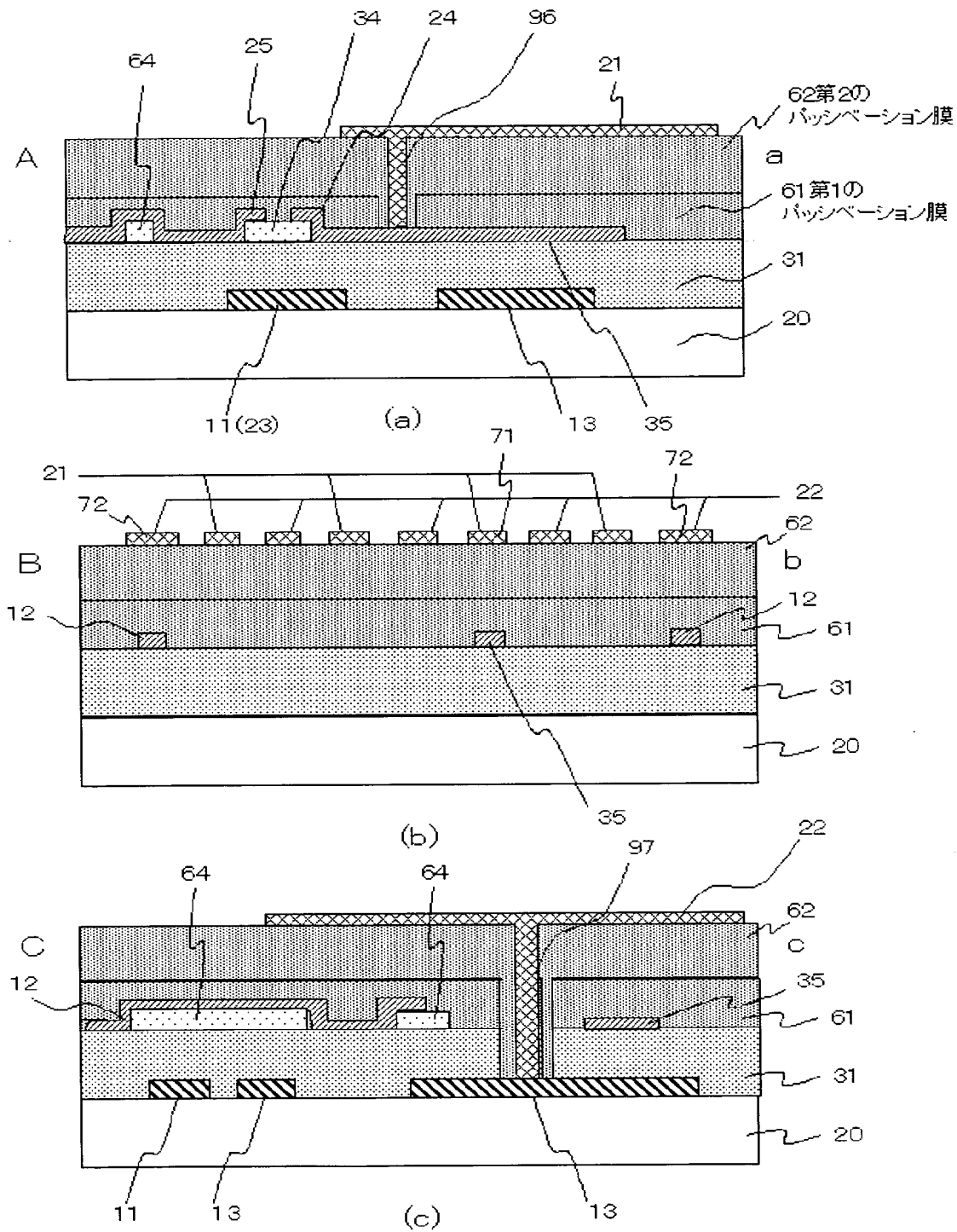


【図18】

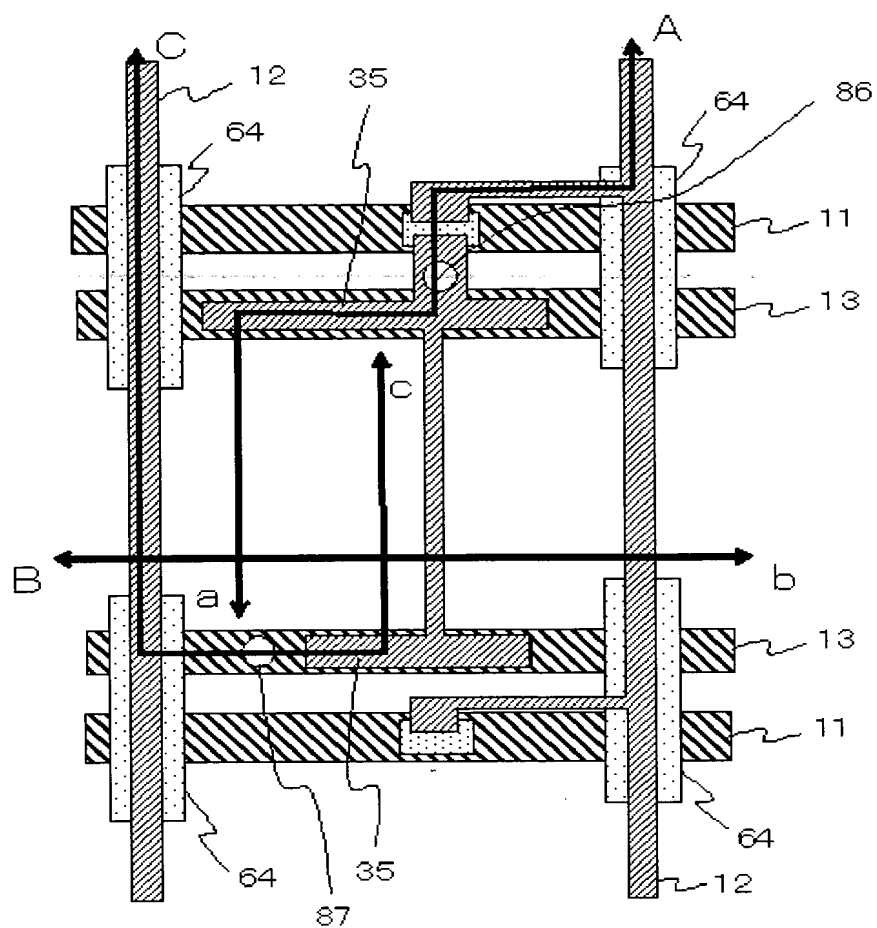




【図20】

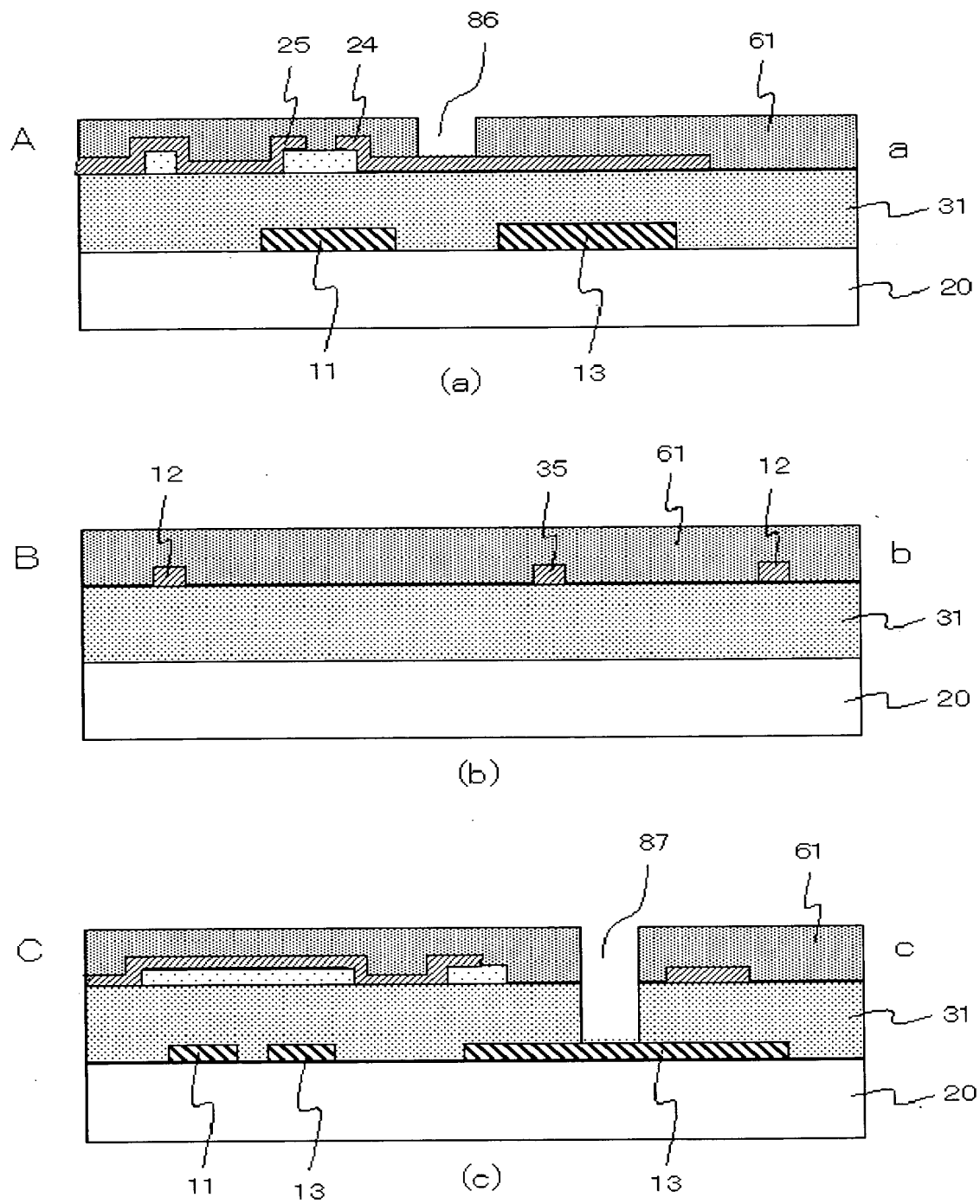


【図 21】

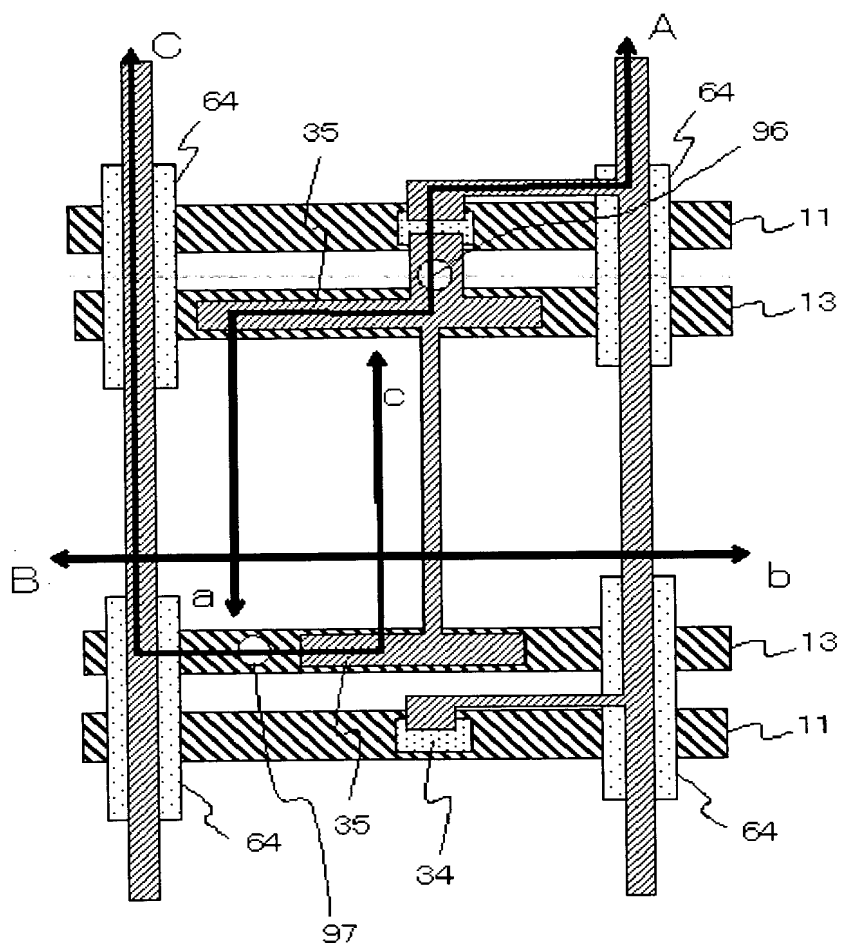




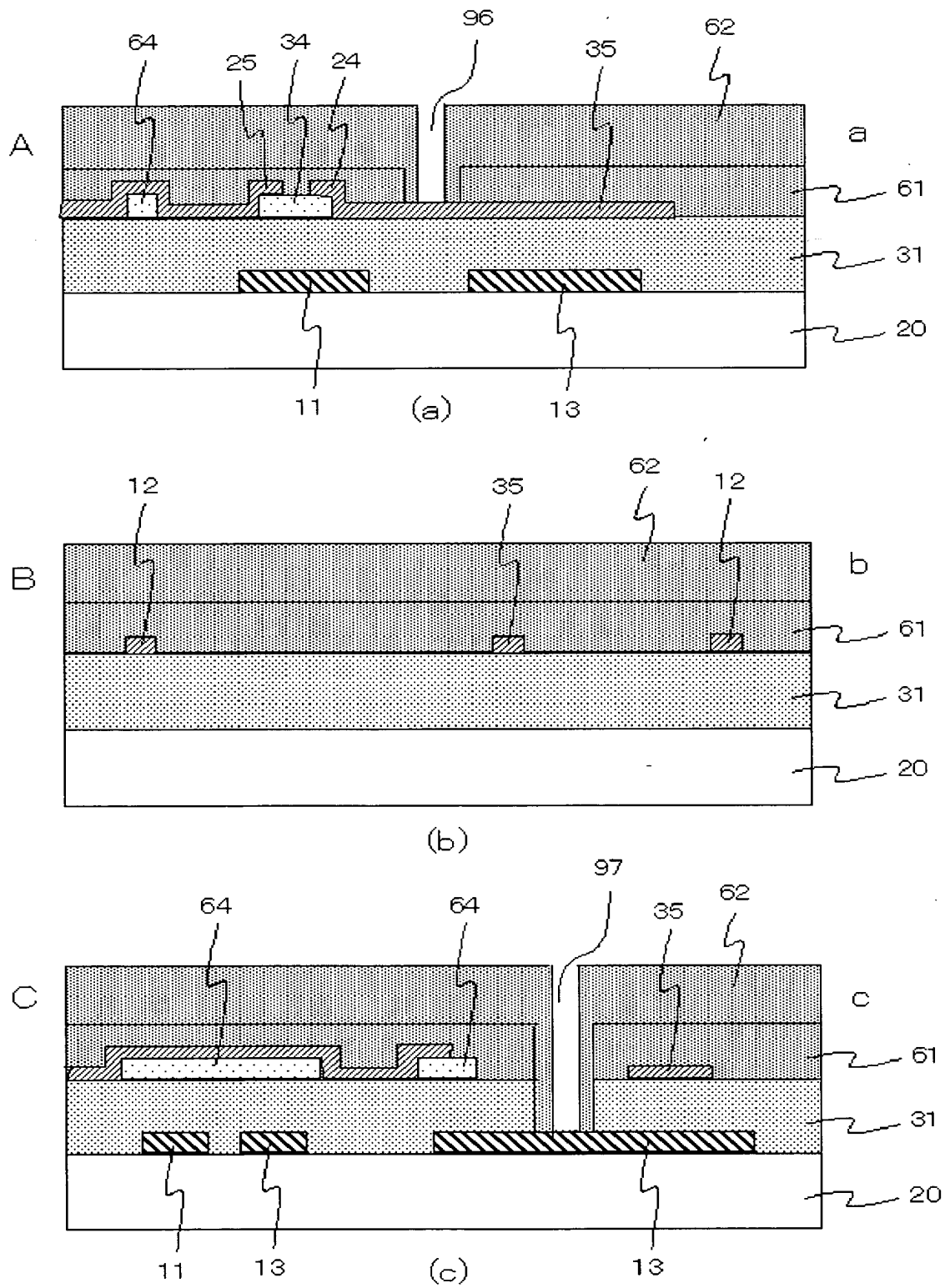
【図 22】



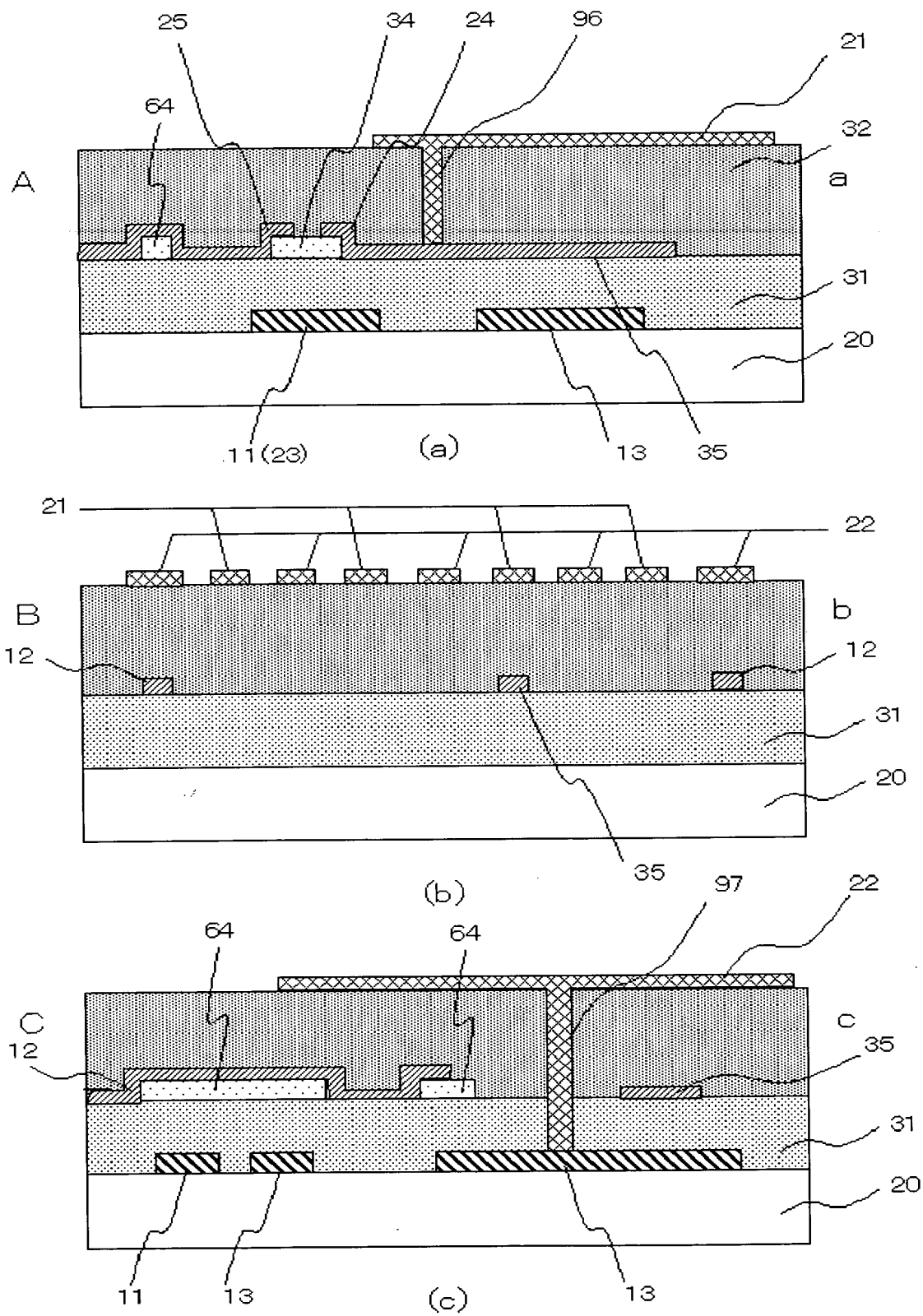
【図 23】



【図 24】

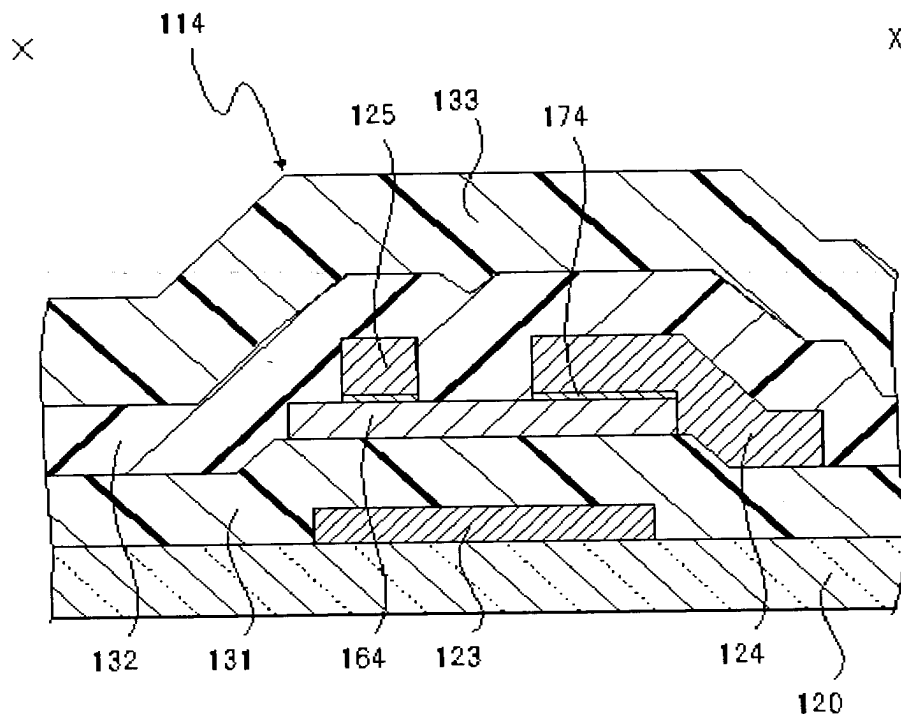


【図 25】

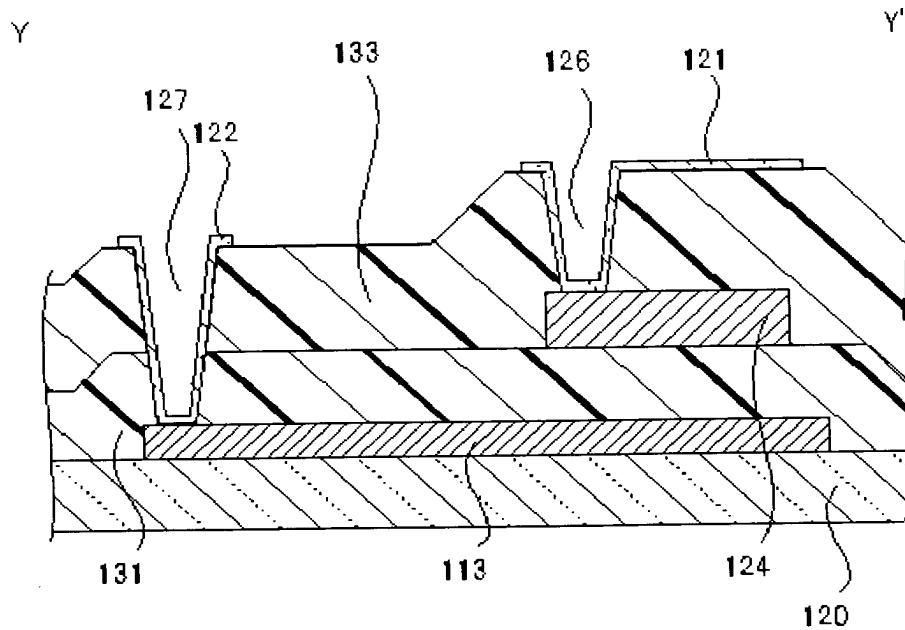




【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 信号線の少なくとも一部を層間絶縁膜を介して共通電極で被覆するようにした横方向電界型の液晶表示装置において、信号線と共通電極との間のショートを低減する。

【解決手段】 表示部が走査線 1 1 及び信号線 1 2 により区画されて画素が設けられるが、共通配線と共通電極を接続するコンタクトホール 2 7 を画素毎に形成せず、間引きして千鳥状に配置し、例えば 4 画素毎に設ける構成とし、信号線と共通電極との間のショートを低減する。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 6 8 9 5 2
受付番号	5 0 2 0 1 3 8 0 2 0 4
書類名	特許願
担当官	第二担当上席 0 0 9 1
作成日	平成 1 4 年 9 月 1 7 日

< 認定情報・付加情報 >

【提出日】 平成14年 9月13日

次頁無



特願 2002-268952

出願人履歴情報

識別番号

[000181284]

1. 変更年月日

1990年 8月10日

[変更理由]

新規登録

住 所

鹿児島県出水市大野原町2080

氏 名

鹿児島日本電気株式会社